

2021-18163 Optique intégrée pour la détection infrarouge H/F



Informations générales

Statut	Diffusée
Référence interne / Plan Emploi	DOPT-RH-999
Entité de rattachement	DRT/LETI/DOPT/SCIM/LIR
Description de l'unité	Le stage se déroulera au laboratoire infrarouge du LETI, leader mondial dans le développement de cameras pour les domaines militaire et civil, mais aussi pour l'espace.

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	Grenoble
Possibilité de poursuite en thèse	Non
Domaine	Optique et optronique
Contrat	Stage
Intitulé de l'offre	Optique intégrée pour la détection infrarouge H/F
Sujet de stage	Optique intégrée pour circuit hybridé IRR à petit pas sur matériau III-V : 1) Validation du design des μ -lentilles 2) réalisation des μ -lentilles par abrasion ionique ou autres procédés micro-électroniques 3) caractérisations EO et figure de mérite FTM
Durée du contrat (en mois)	3
Description de l'offre	<p>Le laboratoire infrarouge du CEA LETI est leader mondial dans le domaine depuis les années 1980. Il développe, en collaboration avec le partenaire industriel Lynred, des détecteurs très performants à base de semi-conducteurs. L'amélioration de réponse spatiale des détecteurs, la réduction du pas pixel et l'augmentation du format sont des tendances de longue durée dans le marché des détecteurs visibles et IR, très demandées aussi par les astronomes et les missions spatiales de demain. Dans ce cadre, le LETI étudie depuis quelques années des technologies optiques intégrées au détecteur, qui permettront de franchir les barrières actuelles de performance. Nous proposons un stage sur le design et la réalisation de structures optiques intégrées. Dans un premier temps, le stagiaire réalisera des simulations et finalisera le design des structures. Il utilisera ensuite les moyens de fabrication du LETI, comme par exemple le FIB (focussed ion beam) pour graver ses structures sur un détecteur cible. Enfin, il prendra part à la caractérisation du détecteur fonctionnalisé. Ce faisant, il développera des compétences dans les domaines de l'optique, de la nano fabrication et de la caractérisation de composants infrarouge.</p>
Profil du candidat	<p>Le stagiaire aura des connaissances en optique et en physique des semi-conducteurs et un fort intérêt pour l'expérience et la mesure physique.</p>

Critères candidat

Formation recommandée	M2
Possibilité de poursuite en thèse	Oui

Demandeur

Direction du Demandeur	DRT
------------------------	-----

Suivi RH

Suivie par	Giacomo BADANO
Alertes email	Toutes les 10 candidatures
Récepteurs des alertes	Giacomo BADANO
Date de mise à jour automatique	Oui
Fréquence de mise à jour	10 jours

2021-18854 Stage développement logiciel pour smart LIDAR H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LIST/DSCIN/LIIM
Description de l'unité	Le Laboratoire Intelligente Intégrée Multi-capteurs (LIIM) a pour mission d'étudier et de développer des algorithmes embarqués d'intelligence artificielle, de fusion de données et de perception de l'environnement pour des systèmes cyber-physiques multi-capteurs, de concevoir et d'implémenter des plateformes de démonstration logicielles et matérielles mettant en œuvre ces algorithmes avec l'introduction de technologies innovantes, notamment pour la réalisation de circuits intégrés spécifiques.

Description du poste

Site	Grenoble
Pays	France
Ville	Grenoble
Possibilité de poursuite en thèse	Non
Domaine	Mathématiques, information scientifique, logiciel
Contrat	Stage
Intitulé de l'offre	Stage développement logiciel pour smart LIDAR H/F
Sujet de stage	<p>Au sein d'une équipe pluridisciplinaire d'ingénieurs chercheurs, doctorants et post-doctorants, vous travaillerez dans la mise en œuvre de solutions dans le domaine de la perception de l'environnement. Ces innovations se placent dans un contexte global où les systèmes cyber-physique deviennent omniprésents et où les capteurs sont de plus en plus perfectionnés, en intégrant des fonctionnalités intégrées. Les axes d'innovation visés par l'équipe concernent le développement de briques logicielles proche capteur pour des LIDAR intelligents.</p> <p>L'objet de ce stage est de porter sur une plateforme de calcul embarquée des algorithmes de perception développés au sein de l'équipe afin de venir améliorer les performances d'un LIDAR intelligent. Les résultats de ces algorithmes doivent servir à l'aide au pilotage du capteur afin de d'orienter les faisceaux du capteur vers des zones d'intérêt.</p>
Durée du contrat (en mois)	6
Description de l'offre	<p>Le stage aura pour but:</p> <ul style="list-style-type: none">- de prendre en main une chaîne logicielle pour de la perception embarquée et de participer à son amélioration.- de porter des algorithmes novateurs pour la perception sur des cibles matérielles embarquées.- de montrer l'intérêt de ces développements dans le contexte des smart LIDAR
Moyens / Méthodes / Logiciels	C++/git/Logiciel embarqué

Profil du candidat

Profil du candidat

- Vous avez une expérience dans le portage de briques logiciels sur des systèmes embarqués
- Avec une formation d'ingénieur, vous avez une très bonne maîtrise des connaissances en développement de logiciel embarqué
- Vous avez des connaissances en C/C++
- Une connaissance d'outils comme git ou ROS serait un plus.

Qualités souhaitées

- Sensibilité au monde de la recherche,
- Savoir travailler en équipe et présenter ses résultats à l'équipe.
- Etre dynamique et autonome

Critères candidat

Langues	Anglais (Courant)
Diplôme préparé	Bac+5 - Diplôme École d'ingénieurs
Formation recommandée	Bac +4/5
Possibilité de poursuite en thèse	Non

Programme

Segment CEA	Valorisation de la recherche technologique
-------------	--

Demandeur

Direction du Demandeur	DRT
Nom Manager	Puschini
Prénom Manager	Diego
E-mail Manager	diego.puschini@cea.fr
E-mail du tuteur / Responsable	p.aubry@cea.fr
Disponibilité du poste	01/03/2022

Suivi RH

Suivi par	Pascal AUBRY
Alertes email	Toutes les candidatures
Récepteurs des alertes	Pascal AUBRY
Date de mise à jour automatique	Oui
Fréquence de mise à jour	30 jours

2021-18916 Portage d'algorithmes I/A sur système embarqué H/F



Informations générales

Statut	Diffusée
Référence interne / Plan Emploi	STAGE_LIIM_2022
Entité de rattachement	DRT/LIST/DSCIN/LIIM
Description de l'unité	Le Laboratoire Intelligence Intégrée Multi-capteurs (LIIM) a pour mission d'étudier et de développer des algorithmes embarqués d'intelligence artificielle, de fusion de données et de perception de l'environnement pour des systèmes cyber-physiques multi-capteurs, de concevoir et d'implémenter des plateformes de démonstration logicielles et matérielles mettant en œuvre ces algorithmes avec l'introduction de technologies innovantes, notamment pour la réalisation de circuits intégrés spécifiques

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	Grenoble
Possibilité de poursuite en thèse	Non
Domaine	Composants et équipements électroniques
Contrat	Stage
Intitulé de l'offre	Portage d'algorithmes I/A sur système embarqué H/F
Sujet de stage	Portage d'algorithmes avancés d'apprentissage machine sur des systèmes embarqués légers: techniques d'optimisation et de quantification
Durée du contrat (en mois)	6
Description de l'offre	<p>La tendance actuelle est d'embarquer de l'intelligence artificielle au plus près des capteurs. L'objectif est ainsi de réduire la consommation énergétique engendrée par les échanges de données importants avec des centres de données distants. La classification ou segmentation d'images sont des fonctionnalités recherchées pour des nœuds de capteurs compacts, embarqués pour de nombreuses applications comme par exemple le comptage automatisé d'animaux, la surveillance de cultures agricoles ou encore la supervision de systèmes de transport. Habituellement des réseaux de neurones, qui ont été préalablement entraînés dans un centre de calcul, sont déployés dans les systèmes embarqués pour le fonctionnement de telles applications.</p> <p>Dans de nombreux cas applicatifs, le réseau doit cependant être également capable d'apprendre en continu, de manière incrémental, sur de nouvelles données, sans avoir recours à des sessions massives d'apprentissage, afin de se spécialiser sur son environnement spécifique. Ainsi, au-delà de l'inférence, c'est aussi l'apprentissage du réseau de neurones qui doit être embarqué à proximité du capteur. Une façon pertinente de réaliser un apprentissage incrémental est de suivre des approches bio-inspirées en utilisant des techniques de réapprentissage réduit. Au cours du réapprentissage, de nouvelles données collectées depuis l'environnement du capteur sont entrelacées avec un d'ensemble d'exemples générés à partir des données précédent observées.</p> <p>L'objectif du stage est d'explorer des algorithmes d'apprentissage incrémental et de proposer des solutions pour les porter sur des cartes embarquées légères. Le travail se focalisera principalement sur la quantification (réduction du nombre de bits) des différents paramètres des réseaux de neurones afin d'optimiser l'empreinte mémoire. En partant de représentation standard 32-bit flottant, des formats plus simples du type 16-bit flottant ou même 16 ou 8-bit virgule fixe seront considérés tout en évaluant l'impact sur la précision en regard des contraintes applicatives.</p> <p>Le travail de stage s'organisera selon les étapes suivantes :</p>

Moyens / Méthodes / Logiciels	<ul style="list-style-type: none"> • Revue de l'état de l'art sur les algorithmes d'apprentissage incrémental et les méthodes d'apprentissage pour les réseaux quantifiés. • Familiarisation avec les outils pour la quantification des réseaux, Tensorflow lite, N2D2. • Développement d'un réseau quantifié fonctionnant sur une carte embarquée légère : programmation, debug, optimisation des performances... <ul style="list-style-type: none"> ◦ Implémentation de la quantification pour l'inférence ◦ Implémentation du réapprentissage réduit. • Etude des compromis possibles entre précision, vitesse d'exécution, coût mémoire sur des réseaux avec un nombre plus réduit de bits. • Rédaction du rapport de stage et présentation des travaux.
Profil du candidat	<p>Python, Tensorflow, N2D2, C/C++, Arduino</p> <ul style="list-style-type: none"> • Fin d'étude ingénieur ou master 2. • Compétences en systèmes embarqués avec de bonnes connaissances et affinités pour l'apprentissage machine. • Opérationnel pour coder en langage Python et C/C++, si possible ayant déjà travaillé sur des cartes de développement de type Arduino ou Raspberry Pi. • La connaissance de Tensorflow ou Pytorch serait un plus.

Critères candidat

Langues	Anglais (Intermédiaire)
Diplôme préparé	Bac+5 - Diplôme École d'ingénieurs
Formation recommandée	Cursus ingénieur / master 2
Possibilité de poursuite en thèse	Non

Programme

Segment CEA	Technologies de l'information
-------------	-------------------------------

Demandeur

Direction du Demandeur	DRT
Nom Manager	PUSCHINI
Prénom Manager	Diego
E-mail Manager	diego.puschini@cea.fr
E-mail du tuteur / Responsable	romain.lemaire@cea.fr
Disponibilité du poste	01/02/2022

Suivi RH

Responsable principal	Romain LEMAIRE
Suivie par	Najoua DIALLO
Alertes email	Toutes les candidatures
Récepteurs des alertes	Romain LEMAIRE
Date de mise à jour automatique	Non

2021-18919 Caractérisation de transducteurs ultrasonores en milieu liquide H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DCOS/SCMS/LCEF

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	Grenoble
Possibilité de poursuite en thèse	Non
Domaine	Technologies micro et nano
Contrat	Stage
Intitulé de l'offre	Caractérisation de transducteurs ultrasonores en milieu liquide H/F
Sujet de stage	Caractérisation de transducteurs ultrasonores avec électronique adaptée puis système Verasonic sur banc de mesure en milieu liquide.
Durée du contrat (en mois)	6
Description de l'offre	<p>Au sein de CEA-Tech, la Direction de la Recherche Technologique du CEA, l'Institut LETI fait le lien entre la recherche fondamentale et la production de micro/nanotechnologies. Fort d'un portefeuille de 2800 brevets et doté d'une salle blanche de 8500 m², le LETI est à la pointe de l'innovation pour développer des solutions dans les domaines de la microélectronique et des microsystèmes.</p> <p>Les Micromachined Ultrasound Transducer (MUT) sont des microsystèmes initialement dédiés à l'émission et la réception d'ondes acoustiques ultrasonores, qui peuvent être utilisés dans de nombreux domaines, au-delà des applications conventionnelles (Système d'échographie miniaturisés pour des applications biomédicales invasives ; capteur de gaz ; capteur d'empreintes...). Ces dispositifs suscitent un engouement particulier ces dernières années en raison des performances attendues en terme de coût, d'intégration et de possibilité de formation de faisceaux. Le Département Composants Silicium du LETI regroupe en son sein l'ensemble des compétences nécessaires à la réalisation de ce type de composants, de la conception à la caractérisation. Il travaille actuellement au développement de MUTs à transduction piézoélectrique (pMUT) et capacitif (cMUT) pour des applications innovantes.</p> <p>Le stagiaire rejoindra le laboratoire de Caractérisation Electrique et de Fiabilité pour travailler sur la caractérisation des composants ultrason en milieu liquide. Après s'être familiarisé avec les composants (design, process de fabrication et fonctionnement) ainsi qu'avec les différents outils de mesure utilisés au sein du laboratoire, le stagiaire devra étudier et améliorer le packaging existant permettant la mise en œuvre des composants en milieu liquide, puis réalisera une caractérisation complète des composants (en utilisant des cartes électronique dédiées). Enfin il préparera leur intégration dans une sonde de type Vérasonics (appareil permettant d'aller vers une démonstration plus complète des capacités des transducteurs).</p>
Moyens / Méthodes / Logiciels	Caractérisation électrique, physique, python, packaging
Profil du candidat	<p>Le candidat, d'un niveau bac + 5, aura de solides bases en microélectronique, électricité et mécanique avec une forte culture expérimentale. Il devra faire preuve de rigueur, d'autonomie et d'une bonne capacité à travailler en équipe.</p>

Critères candidat

Langues	Français (Courant) Anglais (Courant)
Diplôme préparé	Bac+5 - Diplôme École d'ingénieurs
Formation recommandée	Physique, microélectronique
Possibilité de poursuite en thèse	Non

Demandeur

Direction du Demandeur	DRT
Nom Manager	Coutier
Prénom Manager	Caroline
E-mail Manager	caroline.coutier@cea.fr
E-mail du tuteur / Responsable	francois.blard@cea.fr
Disponibilité du poste	03/01/2022

Suivi RH

Responsable principal	Francois BLARD
Suivi par	Jean-Charles BARBE Monique DREVON
Alertes email	Toutes les candidatures
Récepteurs des alertes	Francois BLARD
Date de mise à jour automatique	Non

2021-18944 Apprentissage par renforcement pour la détection d'objet avec un capteur à ultrasons H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DCOS/SCMS/LGECA

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	Grenoble
Possibilité de poursuite en thèse	Oui
Domaine	Mathématiques, information scientifique, logiciel
Contrat	Stage
Intitulé de l'offre	Apprentissage par renforcement pour la détection d'objet avec un capteur à ultrasons H/F
Sujet de stage	Apprentissage par renforcement pour la détection d'objet avec un capteur à ultrasons
Durée du contrat (en mois)	6
Description de l'offre	<p>La détection d'objets par ultrasons offre une alternative peu coûteuse et économe en énergie par rapport à des caméras. Nous pouvons obtenir une information d'angle et de distance grâce à une petite matrice de transducteurs et un traitement du signal approprié. La résolution temporelle de ce genre de capteurs est néanmoins limitée par la vitesse de propagation du son, et sa résolution spatiale par le nombre de transducteurs.</p> <p>Le but de ce stage est de mettre en place un environnement d'apprentissage par renforcement contenant un simulateur acoustique pour pouvoir entraîner un agent à détecter un objet/obstacle de façon efficace. Ce travail permettra de préparer le terrain pour une thèse.</p> <p>Contenu du stage :</p> <ul style="list-style-type: none">• Familiarisation avec la détection par ultrasons et avec quelques publications académiques pertinentes.• Développement d'un environnement de simulation physique léger et rapide.• Mise en place d'un environnement d'apprentissage par renforcement en Python (OpenAI Gym).• Entraînement d'un agent sur une tâche simple.
Profil du candidat	<p>Nous recherchons un(e) candidat(e) en master 2 ou dernière année d'école d'ingénieur motivé(e) par l'intelligence artificielle et la perception.</p> <ul style="list-style-type: none">• Spécialisation intelligence artificielle• Familiarité avec le traitement de datasets et l'optimisation de vitesse d'exécution des traitements.• Bonnes connaissances de base en physique (acoustique, électronique) et traitement du signal.• Python, Tensorflow ou PyTorch.• Bonne communication écrite et orale en anglais/français.

Critères candidat

Langues	Anglais (Courant)
Diplôme préparé	Bac+5 - Diplôme École d'ingénieurs
Possibilité de poursuite en thèse	

Oui

Programme

Segment CEA Outils et plateformes pour la recherche technologique et l'énergie

Demandeur

Direction du Demandeur	DRT
Nom Manager	Robinet
Prénom Manager	Stéphanie
E-mail Manager	stephanie.robinet@cea.fr
E-mail du tuteur / Responsable	emmanuel.hardy@cea.fr
Disponibilité du poste	07/03/2022

Suivi RH

Responsable principal	EMMANUEL HARDY
Suivi par	Jean-Charles BARBE
Alertes email	Toutes les candidatures
Récepteurs des alertes	EMMANUEL HARDY
Date de mise à jour automatique	Non

2021-18985 Perception de l'environnement par apprentissage profond à partir de données RADAR (stage 2) H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LIST/DSCIN/LIIM

Description du poste

Site	Grenoble
Ville	Grenoble et Ottawa (Canada)
Domaine	Sciences pour l'ingénieur
Contrat	Stage
Intitulé de l'offre	Perception de l'environnement par apprentissage profond à partir de données RADAR (stage 2) H/F
Sujet de stage	L'objectif de ce stage est d'explorer le potentiel d'algorithmes d'apprentissage profond (IA) appliqués à des données radar bas niveau pour la prédiction de grilles d'occupation. Une grille d'occupation est une représentation de l'environnement dans lequel l'espace est représenté par un quadrillage régulier de cellules de taille identique et où une probabilité d'occupation est assignée à chaque cellule. Des travaux antérieurs, réalisés indépendamment par l'Université d'Ottawa et par le CEA-LIST, ont montré qu'une approche pilotée par les données associée à un réseau de neurones profond pouvait avoir des avantages pour la prédiction de grilles d'occupation à partir de données radar bas niveau (c'est-à-dire en sortie d'ADC). L'objectif de ce stage est d'associer les efforts des équipes de recherche et aussi d'exploiter une nouvelle base de données radar (PixSet) qui sera fournie par l'entreprise Leddartech. Ceci permettra de valider l'approche sur de nouvelles données.
Durée du contrat (en mois)	8
Description de l'offre	<p>Contexte de Collaboration</p> <p>Ce stage se déroule dans le contexte d'une collaboration de recherche internationale entre le laboratoire de perception embarquée du CEA LIST (Grenoble), l'Université d'Ottawa (Canada) et l'entreprise canadienne Leddartech basée à Québec (Canada). Afin d'explorer le sujet et d'ouvrir le plus de pistes possibles, nous proposons un sujet qui pourra être réalisé en parallèle et simultanément par deux étudiant(e)s travaillant en collaboration.</p> <p>Stagiaire 1 : stage d'une durée de 6 mois, réalisé dans les locaux du CEA LIST à Grenoble (France)</p> <p>Stagiaire 2 : stage en mobilité internationale, d'une durée de 8 mois, réalisé en partie dans les locaux du CEA-LIST à Grenoble (France), de l'Université d'Ottawa (Canada) et de Leddartech (Canada). Une aide à la mobilité sera fournie.</p> <p>Les étapes du stage seront les suivantes :</p> <p>1 - Génération des vérités terrains à partir des données LIDAR et caméra disponibles dans la base de données PixSet, et comparaison des approches :</p> <ul style="list-style-type: none">· grilles d'occupation générées par le logiciel SigmaFusionTM à partir des données LIDAR de PixSet· grilles d'occupation générées par caméra + LIDAR : utilisation d'un modèle de segmentation d'images disponible en open source pour segmenter la scène (image) et pour distinguer les zones « route/non-route », et ensuite projeter l'image segmentée dans le plan horizontal pour définir une grille d'occupation. La route détectée dans la scène sera projetée dans la grille d'occupation en tant que zones inoccupées. Les points LIDAR pourront ensuite être utilisés afin de valider la grille d'occupation ainsi générée. <p>2 – Entraînement et optimisation topologique d'architectures (U-NET, FCN_tiny, FCN, DeepLabV3+, PolarNet, ...) pour la prédiction de grilles d'occupation à partir d'acquisitions RADAR « single-frame » de type range-angle (RA) ou range-angle-Doppler (RAD).</p> <p>3 – Entraînement et optimisation topologique d'architectures (RADDNET, ...) pour la prédiction single-frame de grilles d'occupation dynamiques à partir de scènes où le</p>

véhicule est immobile.

· Pour réaliser cette tâche, il faudra au préalable sélectionner les scènes de la base de donnée PixSet pour lesquelles le véhicule est à l'arrêt. Ceci peut être fait facilement grâce à l'information de vitesse du véhicule (obtenue via le bus CAN du véhicule) ainsi qu'à celle de l'IMU.

4 - Si le véhicule est en mouvement, évaluer la capacité du réseau à apprendre à compenser l'ego-motion, notamment en évaluant la possibilité d'injecter l'information de vitesse en entrée du réseau.

5 - Une campagne d'acquisition de données complémentaire avec un radar pourrait également être nécessaire.

6 - Ecriture du rapport final et présentation des résultats

Critères candidat

Diplôme préparé	Bac+5 - Diplôme École d'ingénieurs
Formation recommandée	traitement du signal, apprentissage automatique, capteurs, programmation embarquée, programmation
Possibilité de poursuite en thèse	Oui

Demandeur

Direction du Demandeur	DRT
E-mail du tuteur / Responsable	carolynn.bernier@cea.fr
Disponibilité du poste	01/02/2022

Suivi RH

Responsable principal	Carolynn BERNIER
Suivie par	Najoua DIALLO Anne VIELET
Date de mise à jour automatique	Non

2021-18986 Perception de l'environnement par apprentissage profond à partir de données RADAR (stage 1) H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LIST/DSCIN/LIIM

Description du poste

Site	Grenoble
Ville	Grenoble
Domaine	Sciences pour l'ingénieur
Contrat	Stage
Intitulé de l'offre	Perception de l'environnement par apprentissage profond à partir de données RADAR (stage 1) H/F
Sujet de stage	L'objectif de ce stage est d'explorer le potentiel d'algorithmes d'apprentissage profond (IA) appliqués à des données radar bas niveau pour la prédiction de grilles d'occupation. Une grille d'occupation est une représentation de l'environnement dans lequel l'espace est représenté par un quadrillage régulier de cellules de taille identique et où une probabilité d'occupation est assignée à chaque cellule. Des travaux antérieurs, réalisés indépendamment par l'Université d'Ottawa et par le CEA-LIST, ont montré qu'une approche pilotée par les données associée à un réseau de neurones profond pouvait avoir des avantages pour la prédiction de grilles d'occupation à partir de données radar bas niveau (c'est-à-dire en sortie d'ADC). L'objectif de ce stage est d'associer les efforts des équipes de recherche et aussi d'exploiter une nouvelle base de données radar (PixSet) qui sera fournie par l'entreprise Leddartech. Ceci permettra de valider l'approche sur de nouvelles données.
Durée du contrat (en mois)	6
Description de l'offre	<p>Contexte de Collaboration</p> <p>Ce stage se déroule dans le contexte d'une collaboration de recherche internationale entre le laboratoire de perception embarquée du CEA LIST (Grenoble), l'Université d'Ottawa (Canada) et l'entreprise canadienne Leddartech basée à Québec (Canada). Afin d'explorer le sujet et d'ouvrir le plus de pistes possibles, nous proposons un sujet qui pourra être réalisé en parallèle et simultanément par deux étudiant(e)s travaillant en collaboration.</p> <p>Stagiaire 1 : stage d'une durée de 6 mois, réalisé dans les locaux du CEA LIST à Grenoble (France)</p> <p>Stagiaire 2 : stage en mobilité internationale, d'une durée de 8 mois, réalisé en partie dans les locaux du CEA-LIST à Grenoble (France), de l'Université d'Ottawa (Canada) et de Leddartech (Canada). Une aide à la mobilité sera fournie.</p> <p>Les étapes du stage seront les suivantes :</p> <p>1 - Génération des vérités terrains à partir des données LIDAR et caméra disponibles dans la base de données PixSet, et comparaison des approches :</p> <ul style="list-style-type: none">· grilles d'occupation générées par le logiciel SigmaFusionTM à partir des données LIDAR de PixSet· grilles d'occupation générées par caméra + LIDAR : utilisation d'un modèle de segmentation d'images disponible en open source pour segmenter la scène (image) et pour distinguer les zones « route/non-route », et ensuite projeter l'image segmentée dans le plan horizontal pour définir une grille d'occupation. La route détectée dans la scène sera projetée dans la grille d'occupation en tant que zones inoccupées. Les points LIDAR pourront ensuite être utilisés afin de valider la grille d'occupation ainsi générée. <p>2 – Entraînement et optimisation topologique d'architectures (U-NET, FCN_tiny, FCN, DeepLabV3+, PolarNet, ...) pour la prédiction de grilles d'occupation à partir d'acquisitions RADAR « single-frame » de type range-angle (RA) ou range-angle-Doppler (RAD).</p> <p>3 – Entraînement et optimisation topologique d'architectures (RADDNET, ...) pour la prédiction single-frame de grilles d'occupation dynamiques à partir de scènes où le</p>

véhicule est immobile.

· Pour réaliser cette tâche, il faudra au préalable sélectionner les scènes de la base de donnée PixSet pour lesquelles le véhicule est à l'arrêt. Ceci peut être fait facilement grâce à l'information de vitesse du véhicule (obtenue via le bus CAN du véhicule) ainsi qu'à celle de l'IMU.

4 - Si le véhicule est en mouvement, évaluer la capacité du réseau à apprendre à compenser l'ego-motion, notamment en évaluant la possibilité d'injecter l'information de vitesse en entrée du réseau.

5 - Une campagne d'acquisition de données complémentaire avec un radar pourrait également être nécessaire.

6 - Ecriture du rapport final et présentation des résultats

Critères candidat

Diplôme préparé	Bac+5 - Diplôme École d'ingénieurs
Formation recommandée	traitement du signal, apprentissage automatique, capteurs, programmation embarquée, programmation
Possibilité de poursuite en thèse	Oui

Demandeur

Direction du Demandeur	DRT
------------------------	-----

Suivi RH

Responsable principal	Carolynn BERNIER
Suivie par	Najoua DIALLO
Alertes email	Toutes les candidatures
Récepteurs des alertes	Carolynn BERNIER
Date de mise à jour automatique	Non

2021-19008 Stage - 3D Phase-Change Memory Crossbar Arrays: a Challenge for the Future of Computing H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DCOS/SCME/LDMC
Description de l'unité	Memory Laboratory in CEA LETI

Description du poste

Site	Grenoble
Pays	France
Ville	Grenoble
Domaine	Matériaux, physique du solide
Contrat	Stage
Intitulé de l'offre	Stage - 3D Phase-Change Memory Crossbar Arrays: a Challenge for the Future of Computing H/F
Sujet de stage	The near future is Internet of Things (IoT), with the need of a data storage infrastructure allowing Big Data processing and Artificial Intelligence (AI) applications. The Memory Laboratory in CEA-LETI is developing the next generations of Non-Volatile Memories, and among them Phase-Change Memory (PCM) is the most mature one. PCM demonstrated capability of 3D stacking in Storage Class Memory applications, with an outstanding increase of data density and enabling completely new system architectures. However, in order to target microcontroller applications of the next future, where the technology node scaling will approach the nm size and the demand will dream about the Gigabyte in terms of embedded memory size, the reliability demonstration of PCM combined with innovative BackEnd selector solutions becomes mandatory.
Durée du contrat (en mois)	6
Description de l'offre	The work will start with a bibliographic study, to analyze the main reliability challenges and programming strategies of Crossbar arrays. New phase-change material stacks combined with innovative backend selectors will be investigated. The candidate will test the electrical performance of single cell devices, and will perform statistical analysis on advanced memory arrays. Main reliability metrics will be analyzed, comparing different material stacks. The student will deal with: a) the analysis of the physics of the switching mechanisms and the impact of the temperature; b) the optimization of the programming and reading protocols in such new technology; c) the reliability of Crossbar arrays, even in high temperature environments.

Critères candidat

Diplôme préparé	Bac+5 - Master 2
-----------------	------------------

Programme

Segment CEA	Technologies de l'information
-------------	-------------------------------

Demandeur

Direction du Demandeur	DRT
E-mail Manager	francois.andrieu@cea.fr
E-mail du tuteur / Responsable	gabriele.navarro@cea.fr
Disponibilité du poste	01/03/2022

Suivi RH

Responsable principal	GABRIEL NAVARRO
Suivie par	Jean-Charles BARBE Ophélie BEBRONNE Guillaume BOURGEOIS Monique DREVON
Alertes email	Toutes les candidatures
Récepteurs des alertes	Guillaume BOURGEOIS, GABRIEL NAVARRO
Date de mise à jour automatique	Non

2021-19021 Stage - Portage optimisé d'un réseau de neurones sur une architecture de calcul pour l'IA H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LIST/DSCIN/LECA

Description du poste

Site	Saclay
Pays	France
Régions	Ile-de-France
Départements	Essonne (91)
Ville	Saclay
Possibilité de poursuite en thèse	Oui
Domaine	Technologies micro et nano
Contrat	Stage
Intitulé de l'offre	Stage - Portage optimisé d'un réseau de neurones sur une architecture de calcul pour l'IA H/F
Sujet de stage	Portage optimisé d'un réseau de neurones sur une architecture de calcul pour l'IA
Durée du contrat (en mois)	6
Description de l'offre	<p>Le Commissariat à l'Énergie Atomique et aux Énergies Alternatives (CEA) est un acteur majeur en matière de recherche, de développement et d'innovation. Cet organisme de recherche intervient dans trois grands domaines : l'énergie, les technologies pour la santé et l'information, et la défense. Au sein de la Direction de la Recherche Technologique (DRT) du CEA, le Laboratoire d'Intégration des Systèmes et des Technologies (LIST) a notamment pour mission de contribuer au transfert de technologies, dans le domaine des systèmes de calcul spécialisés, de la recherche amont vers les industries.</p> <p>Ce stage se déroulera au sein du Laboratoire Environnement de Conception et Architecture (LECA) sur le site de Nano-Innov du CEA LIST. Il porte sur l'optimisation de la communication dans les architectures de calcul dédiées pour l'intelligence artificielle (IA). Ces architectures, largement utilisées dans différents domaines d'application tels que la conduite autonome, la robotique et la sécurité intelligente, doivent exécuter des algorithmes de plus en plus complexes sur des ressources de calcul toujours plus nombreuses et parfois hétérogènes. Dans le cas des algorithmes de type DNN (Deep Neural Networks), les échanges de données peuvent être très importants et l'interconnexion entre ressources de calcul peut vite impacter fortement les performances générales de l'architecture, ainsi que son efficacité énergétique. De même les accès aux différentes mémoires du système, avec potentiellement de forts partages de données sont un point critique.</p> <p>Dans le cadre de ce stage, le candidat sera amené à optimiser le portage d'un réseau de neurones sur une architecture de calcul dédiée pour l'IA. Ce portage devra assurer un traitement parallèle des flux de données avec un coût minimal de transfert de données pour obtenir un traitement DNN économe en énergie sans compromettre la précision. La partie du stage permettra au candidat d'analyser les différents patterns de communication dans les architectures neuronales existantes dans l'état de l'art afin de caractériser et quantifier les transferts de données dans ces architectures en termes de performance et de consommation d'énergie. Cette analyse lui permettra de proposer une solution optimisée de portage d'un réseau de neurone sur l'architecture cible en tenant compte des caractéristiques de son réseau de communication. Cette solution proposée sera ensuite implémentée par le candidat sur l'architecture cible à base de FPGA afin d'évaluer les performances. Les résultats du stage pourront faire l'objet d'une publication dans une conférence internationale.</p> <p>Ce stage permettra au candidat d'acquérir des connaissances dans le domaine des réseaux de neurones et de monter en compétence en conception matérielle VHDL pour des systèmes sur FPGA.</p>

Profil du candidat

Niveau demandé : Bac+5 (Master recherche/diplôme Ingénieur)

Compétences : VHDL, connaissances en réseaux de neurones souhaitable

Critères candidat

Possibilité de poursuite en thèse Oui

Demandeur

Direction du Demandeur DRT

Disponibilité du poste 01/02/2022

Suivi RH

Suivi par Hana KRICHENE

Alertes email Toutes les candidatures

Récepteurs des alertes Hana KRICHENE

Date de mise à jour automatique Non

2021-19022 Stage - Empreinte environnementale d'un transistor à base de GaN



Informations générales

Statut	Diffusée
Référence interne / Plan Emploi	Projet Carnot Leti ecoinnovation
Entité de rattachement	DRT/LETI/DCOS/SCPE/LAPS
Description de l'unité	Laboratoire LAPS (Laboratoire des composants de Puissance à Semiconducteur) du département composants (DCOS) du CEA-Leti

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	Grenoble
Possibilité de poursuite en thèse	Oui
Domaine	Composants et équipements électroniques
Contrat	Stage
Intitulé de l'offre	Stage - Empreinte environnementale d'un transistor à base de GaN
Sujet de stage	<p>Il s'agira de calculer l'empreinte environnementale du composant unitaire GaN de calibre 650V à partir de la description des étapes de fabrication du transistor GaN au CEA LETI : de l'épîtaxie du GaN sur le substrat silicium jusqu'au transistor packagé.</p> <p>La première partie du stage consistera en la collecte de données d'inventaire (consommation énergétique, eau, gaz process, matériaux etc) à partir de détails de fabrication (épaisseur des couches, matériaux, procédés et équipements utilisés).</p> <p>La seconde partie du stage permettra de déterminer quelles étapes de fabrication technologiques sont les plus impactantes pour l'environnement, de réaliser une analyse de sensibilité sur les différents paramètres et d'établir des recommandations d'amélioration.</p>
Durée du contrat (en mois)	6
Description de l'offre	<p>Pour atteindre les objectifs de l'Accord de Paris sur le climat, il est crucial de diminuer l'intensité énergétique mondiale. Une des voies à emprunter est l'amélioration de l'efficacité énergétique pour limiter les pertes. En particulier, améliorer l'efficacité énergétique des composants utilisés pour l'électronique de puissance permet de limiter les pertes lors des étapes de conversion d'énergie électrique.</p> <p>Depuis 2007, le CEA-Leti s'intéresse à la technologie GaN/Si pour des composants électroniques de puissance plus petits et plus efficaces. Ces composants à base de GaN permettent d'augmenter les performances des alimentations électriques AC/DC (15W à 1kW) afin de réduire les échauffements, et par ricochet la taille et le coût. Les applications concernées vont du chargeur USB universel à l'onduleur photovoltaïque, en passant par le véhicule électrique.</p> <p>L'objectif de ce stage est d'établir l'empreinte environnementale du transistor GaN qui sera utilisée par la suite pour comparer l'analyse de cycle de vie (ACV) d'un convertisseur basé sur un transistor GaN 650V avec celle d'un convertisseur plus classique basé sur un transistor Si. Cette ACV permettra de comparer la consommation énergétique en fonctionnement des deux convertisseurs dans un environnement système donné pour une application précise (le véhicule électrique).</p>
Moyens / Méthodes / Logiciels	données bibliographiques, logiciels ACV

Profil du candidat

Vous devrez être fortement motivé par les enjeux environnementaux et les méthodes d'éco-conception. Une bonne connaissance ou expérience pratique en ACV est un vrai plus. Des connaissances de base en procédés pour la micro-électronique ou nanofabrication sont recommandées. Les compétences recherchées pour ce stage incluent également rigueur, autonomie, organisation, bonnes capacités de communication et de rédaction.

Critères candidat

Langues	Français (Courant) Anglais (Courant)
Diplôme préparé	Bac+5 - Master 2

Programme

Segment CEA	Impacts des technologies sur l'homme et l'environnement
-------------	---

Demandeur

Direction du Demandeur	DRT
Nom Manager	Sousa
Prénom Manager	Véronique
E-mail Manager	veronique.sousa@cea.fr
E-mail du tuteur / Responsable	laura.vauche@cea.fr
Disponibilité du poste	01/02/2022

Suivi RH

Responsable principal	Laura VAUCHE
Suivi par	Jean-Charles BARBE Ophélie BEBRONNE Monique DREVON
Alertes email	Toutes les candidatures
Récepteurs des alertes	Laura VAUCHE
Date de mise à jour automatique	Non

2021-19043 Développement d'un orchestrateur pour une cellule robotisée Industry 4.0 H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LIST/DILS/LSEA

Description du poste

Site	Saclay
Pays	France
Régions	Ile-de-France
Départements	Essonne (91)
Ville	Palaiseau
Possibilité de poursuite en thèse	Oui
Domaine	Mathématiques, information scientifique, logiciel
Contrat	Stage
Intitulé de l'offre	Développement d'un orchestrateur pour une cellule robotisée Industry 4.0 H/F
Sujet de stage	<p>Le CEA LIST est en charge du développement d'un atelier d'ingénierie pour le domaine de l'Industrie 4.0. L'atelier sera composé d'une méthodologie de conception et de développement et d'un cadre architectural pour la saisie des architectures système, logicielle et matérielle et ensuite le déploiement de l'application vers une cellule robotisée composée d'un bras robotisé (Niryo Ned) et d'un robot mobile autonome (turtleBot 3). La cellule effectue un processus d'assemblage.</p> <p>Le sujet de stage porte sur le développement d'une couche de connectivité opc-ua pour la cellule robotisée et le développement d'un orchestrateur pour l'exécution des tâches dans la cellule.</p>
Durée du contrat (en mois)	6
Description de l'offre	<p>Contexte:</p> <p>Le laboratoire conception de systèmes embarqués et autonomes (LSEA) du CEA LIST travaille sur le développement de processus et méthodologies outillées basées modèles pour la conception de systèmes embarqués et autonomes. Le laboratoire est basé sur le plateau de Saclay, Nano-Innov.</p> <p>Dans le cadre d'un projet collaboratif, Le CEA LIST est en charge du développement d'un atelier d'ingénierie pour le domaine de l'Industrie 4.0. L'atelier sera composé d'une méthodologie de conception et de développement et d'un cadre architectural pour la saisie des architectures système, logicielle et matérielle et ensuite le déploiement de l'application vers une cellule robotisée composée d'un bras robotisé (Niryo Ned[1]) et d'un robot mobile autonome (turtleBot 3)[2]. La cellule effectue un processus d'assemblage.</p> <p>Les outils qui seront intégrés dans ce démonstrateur sont :</p> <ul style="list-style-type: none">- Papyrus[3] pour la modélisation système et déploiement automatique. Le standard de modélisation qui sera adopté est le Asset Administration Shell (AAS)[4]- Une infrastructure logicielle d'exécution pour la cellule robotisée qui est constitué des environnements suivants : ROS[5] (Robot Operating System), OPC-UA[6] (protocole de communication entre sous-systèmes), Node-RED[7] (environnement de programmation graphique pour l'orchestration de sous-systèmes). <p>Objectifs:</p> <p>Dans ce contexte, le sujet du stage a pour objectifs :</p> <ul style="list-style-type: none">- La définition et la saisie de l'architecture système de la cellule robotisée dans Papyrus, en utilisant le standard AAS- le déploiement automatique des modules AAS vers les composants matériels de la cellule robotisée (par l'utilisation d'un générateur automatique de code existant dans Papyrus)- Le développement d'une couche de connectivité OPC-UA[8] pour la cellule robotisée- Le développement d'un orchestrateur Node-RED pour l'exécution des tâches du processus d'assemblage dans la cellule robotisée

Méthodologie:

Le stagiaire aura les responsabilités suivantes:

- (1) Définition de l'architecture système de la cellule robotisée (matérielle et logicielle)
- (2) Définition et déploiement des modules AAS pour la cellule robotisée en utilisant l'environnement Papyrus
- (3) Instanciation d'un serveur OPC-UA pour la cellule robotisée
- (4) Développement d'un orchestrateur Node-RED pour un processus d'assemblage
- (5) Documenter l'architecture de la cellule et l'infrastructure d'exécution mise en place durant le stage.

Stage indemnisé (entre 700 et 1300€), aide au logement possible, transports CEA en Île-de-France.

[1] <https://niryo.com/fr/product/ned-fr/>

[2] <https://www.turtlebot.com/>

[3] <https://www.eclipse.org/papyrus/>

[4] [https://www.plattform-](https://www.plattform-i40.de/IP/Redaktion/EN/Downloads/Publikation/Details_of_the_A)

[i40.de/IP/Redaktion/EN/Downloads/Publikation/Details_of_the_A](https://www.plattform-i40.de/IP/Redaktion/EN/Downloads/Publikation/Details_of_the_A)

Moyens / Méthodes / Logiciels

Langages: Java, UML/SysML, Robots : Niryo Ned, TurtleBot 3 Environnements de développement logiciel:

Profil du candidat

- Étudiant(e) master 2 ou dernière année École d'Ingénieur en informatique
- Maîtrise du langage de programmation Java et du langage de modélisation UML
- La connaissance de l'environnement Eclipse et des standards UML/SysML est un atout.
- La connaissance d'OPC UA et/ou de Node-RED est un atout

Critères candidat

Langues	Français (Intermédiaire) Anglais (Intermédiaire)
Diplôme préparé	Bac+5 - Master 2
Possibilité de poursuite en thèse	Oui

Programme

Segment CEA	Technologies de l'information
-------------	-------------------------------

Demandeur

Direction du Demandeur	DRT
Nom Manager	Mraidha
Prénom Manager	Chokri
E-mail Manager	chokri.mraidha@cea.fr
E-mail du tuteur / Responsable	saadia.dhouib@cea.fr
Disponibilité du poste	01/02/2022

Suivi RH

Suivi par	Saadia DHOUIB
Alertes email	Toutes les candidatures
Récepteurs des alertes	Saadia DHOUIB
Date de mise à jour automatique	Non

2021-19049 Simulation optique de couplage laser/circuits photoniques pour applications capteurs & LIDAR H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DOPT/SISP/LAIP

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	Grenoble
Possibilité de poursuite en thèse	Oui
Domaine	Optique et optronique
Contrat	Stage
Intitulé de l'offre	Simulation optique de couplage laser/circuits photoniques pour applications capteurs & LIDAR H/F
Sujet de stage	Optimisation par simulation d'architectures de couplage optique passif entre puces photoniques
Durée du contrat (en mois)	5-6
Description de l'offre	<p>Institut de recherche en microélectronique, le LETI est un acteur important dans les domaines de la miniaturisation des composants, l'architecture des circuits intégrés et l'intégration système. Dans le domaine de l'optique et de la photonique, cela couvre des applications variées comme les capteurs, les détecteurs (caméras), les micro-écrans, et pour ce qui concerne le cadre de ce stage, la photonique sur silicium.</p> <p>La photonique sur silicium permet d'intégrer de nombreuses fonctions optiques dans une même puce électronique, de façon très dense, permettant l'intégration dans des systèmes. Cette technologie en pleine croissance vise les applications de type datacom (réseaux fibres optiques), calcul optique, capteur ou LIDAR. La communication de ces puces vers l'extérieur se fait alors, soit électroniquement (au travers de technologies classiques en microélectronique), soit par voie optique. Dans ce dernier cas, un couplage efficace de la puissance lumineuse est nécessaire entre la puce et une fibre optique, dans le cas d'une communication de système à système, ou de puce à puce pour une liaison courte. L'objet de ce stage se situe autour de ce dernier point.</p> <p>Pour optimiser le couplage optique entre puces (par exemple diode laser vers circuit photonique), le développement de nouvelles approches est nécessaire. Plusieurs voies sont envisagées, visant à minimiser les pertes de puissance optique au passage d'une puce à l'autre, tout en étant compatible avec une future fabrication en volume. Le but du stage est d'évaluer ces différentes approches en modélisant le couplage de la lumière issue du circuit photonique vers une ou plusieurs guides optiques monomodes. Le candidat participera à l'évaluation par simulation optique d'architecture de couplage, intégrant ou non des structures passives (lentilles, miroirs...), en tenant compte à la fois de l'aspect assemblage des puces et les structures de couplages, intégrées dans les puces elles-mêmes et réalisées par technologie silicium. Pour ce faire l'étudiant disposera du logiciel Zemax (module Optique Physique) ainsi que de la suite RSoft permettant de simuler la propagation de faisceaux lumineux. Il sera aussi susceptible de proposer des solutions d'amélioration. Les résultats de ces travaux pourront être validés expérimentalement dans le cadre d'une future thèse.</p>
Moyens / Méthodes / Logiciels	Zemax, suite RSoft, Matlab, Python
Profil du candidat	Le candidat possèdera une formation en physique, optique et des connaissances en modélisation.

Des bases de formation sur la simulation optique (et notamment sous Zemax) seront un plus.

Critères candidat

Langues	Français (Courant) Anglais (Courant)
Diplôme préparé	Bac+5 - Master 2
Possibilité de poursuite en thèse	Oui

Demandeur

Direction du Demandeur	DRT
------------------------	-----

Suivi RH

Responsable principal	Laurent MENDIZABAL
Suivi par	Estel CHIRON Anais ACQUADRO
Date de mise à jour automatique	Non

2021-19056 Stage: Amélioration des performances de résolution en photolithographie I-Line H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DPFT/SPAT/LLIT
Description de l'unité	A Grenoble, au centre des Alpes, le LETI est un institut de recherche appliquée en micro et nano technologies, technologies de l'information et de la santé. Interface privilégiée du monde industriel et de la recherche académique, il assure chaque année le développement et le transfert de technologies innovantes dans des secteurs variés via des programmes de recherche utilisant nos plateformes technologiques.

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	GRENOBLE
Possibilité de poursuite en thèse	Non
Domaine	Technologies micro et nano
Contrat	Stage
Intitulé de l'offre	Stage: Amélioration des performances de résolution en photolithographie I-Line H/F
Sujet de stage	Pour les procédés de lithographie 3D l'utilisation d'un stepper I-Line permet une grande polyvalence pour l'insolation aux UV de résines et de films secs photosensibles dont les épaisseurs varient de quelques centaines de nanomètres à plusieurs dizaines de micromètres. Couplé à différents équipements d'étalement, développement, ou laminage des différents matériaux, le stepper permet ainsi de répondre aux projets exigeant en permanence l'amélioration de ses performances.
Durée du contrat (en mois)	6 max
Description de l'offre	Vous devrez tout d'abord maîtriser les techniques d'étalement, de recuit et de développement de résines photosensibles sur différents équipements dédiés, ainsi que leur insolation sur le stepper I-Line. Vous maîtriserez par ailleurs les techniques de caractérisation associées (mesure épaisseur, dimension, forme...). L'objectif principal du stage sera d'améliorer les performances du stepper en réduisant les dimensions des motifs jusqu'à présent résolus avec les résines déjà utilisées au LETI. Vous pourrez également être amené à étudier les performances de résolution de nouvelles résines photosensibles.
Profil du candidat	Envoi des CV et LM :raphael.eleouet@cea.fr Bac + 5 Master 2 /Ingénieurs Microtechnologies

Critères candidat

Diplôme préparé	Bac+5 - Master 2
Possibilité de poursuite en thèse	Non

Programme

Segment CEA	Technologies de l'information
-------------	-------------------------------

Demandeur

Direction du Demandeur	DRT
Nom Manager	ELEOUET
Prénom Manager	Raphaël
E-mail Manager	raphael.eleouet@cea.fr
Disponibilité du poste	07/02/2022

Suivi RH

Responsable principal	Raphael ELEOUET
Suivie par	Béatrice ANCÉ Julie COURTIAL
Alertes email	Toutes les candidatures
Récepteurs des alertes	Raphael ELEOUET
Date de mise à jour automatique	Non

2021-19057 Stage: Etude de la gravure plasma de matériaux chalcogénures et strippings associés H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DPFT/SPAT/LGRA
Description de l'unité	A Grenoble, au centre des Alpes, le LETI est un institut de recherche appliquée en micro et nano technologies, technologies de l'information et de la santé. Interface privilégiée du monde industriel et de la recherche académique, il assure chaque année le développement et le transfert de technologies innovantes dans des secteurs variés via des programmes de recherche utilisant nos plateformes technologiques.

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	GRENOBLE
Possibilité de poursuite en thèse	Oui
Domaine	Technologies micro et nano
Contrat	Stage
Intitulé de l'offre	Stage: Etude de la gravure plasma de matériaux chalcogénures et strippings associés H/F
Sujet de stage	Au sein du CEA-Leti, le Département Composants Silicium a pour mission de conduire les recherches dans le domaine de la nanoélectronique et des architectures de calcul en rupture. L'une de ses activités est centrée sur la thématique 'Logique et Mémoire' avec notamment les mémoires non volatiles. Le marché de ce type de mémoires pour les applications embarquées est en plein essor, et requiert des technologies de mémoires innovantes. Ainsi, sur un marché dominé par les mémoires Flash, les Mémoires à Changement de Phase (PCRAM) se présentent comme un très bon candidat pour leur succéder (vitesse d'écriture, rétention des états programmés, consommation, endurance, cout), notamment par le marché de l'automobile. La spécificité de ces Mémoires à Changement de Phase réside en l'utilisation de matériaux chalcogénures, qui, de par leurs caractéristiques, créent les états SET ou RESET dans l'élément de stockage de la cellule, selon la phase amorphe ou cristalline du matériau.
Durée du contrat (en mois)	6 max
Description de l'offre	<p>Les réalisations technologiques des PCRAM sont en partie élaborées dans les salles blanches du Département Plate-Forme Technologique du CEA-Leti. C'est au cœur de ce département applicatif que se déroulera le stage. L'objectif sera d'étudier le comportement de matériaux chalcogénures lors de gravures effectuées dans un réacteur plasma ainsi que l'impact sur ces derniers de strippings et de nettoyages associés.</p> <p>Le stage sera réalisé dans un environnement Salle Blanche. Il sera demandé d'étudier les effets de la gravure plasma de différents matériaux chalcogénures (différents alliages de GeSbTe dit GST) en fonction de paramètres plasma tels que gaz, pression, puissances. La gravure étant associée à un stripping et un nettoyage, ces derniers seront des parties intégrantes de l'étude.</p> <p>Les études porteront tant sur un point de vue morphologique que physico-chimique. Ainsi, nombreux moyens de caractérisations seront disponibles sur la plate-forme pour ce faire : contrôles dimensionnels, observations en coupe par microscopie, mesure d'épaisseur par ellipsométrie, nature chimique du matériau par spectroscopie, etc... Les résultats et analyses seront consolidés par une étude bibliographique sur le sujet.</p> <p>Vous travaillerez en autonomie, de manière transverse avec les équipes procédés et caractérisations. Des connaissances sur les matériaux, la physique des plasmas et la microélectronique seront appréciées, sans négliger les qualités relationnelles nécessaires à coordonner l'étude.</p> <p>Envoi des CV et LM : carole.socquet-clerc@cea.fr</p>

Profil du candidat

Bac+5

Master 2/Ingé 3ème année Matériaux, physique

Critères candidat

Diplôme préparé

Bac+5 - Master 2

Possibilité de poursuite en thèse

Oui

Programme

Segment CEA

Technologies de l'information

Demandeur

Direction du Demandeur

DRT

Nom Manager

SOCQUET-CLERC

Prénom Manager

Carole

E-mail du tuteur / Responsable

carole.socquet-clerc@cea.fr

Disponibilité du poste

07/02/2022

Suivi RH

Responsable principal

Béatrice ANCÉ

Suivie par

Julie COURTIAL
Carole SOCQUET-CLERC

Date de mise à jour automatique

Non

2021-19058 Stage: création de masques non-intuitifs à l'aide de réseaux de neurones pour la litho 3D H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DPFT/SPAT/LLIT
Description de l'unité	A Grenoble, au centre des Alpes, le LETI est un institut de recherche appliquée en micro et nano technologies, technologies de l'information et de la santé. Interface privilégiée du monde industriel et de la recherche académique, il assure chaque année le développement et le transfert de technologies innovantes dans des secteurs variés via des programmes de recherche utilisant nos plateformes technologiques.

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	GRENOBLE
Possibilité de poursuite en thèse	Oui
Domaine	Technologies micro et nano
Contrat	Stage
Intitulé de l'offre	Stage: création de masques non-intuitifs à l'aide de réseaux de neurones pour la litho 3D H/F
Sujet de stage	La lithographie 3D, ou lithographie par niveaux de gris, est une méthode alternative, prometteuse, d'utiliser la photolithographie optique conventionnelle. Bien maîtrisée, elle permet notamment de produire de multiples formes 3D impossible à produire par les techniques industrielles classiques.
Durée du contrat (en mois)	6 max
Description de l'offre	<p>Le CEA-LETI dispose déjà d'une première forte expertise dans ce domaine, qui a permis de produire des preuves de concept à l'état de l'art mondial. Plusieurs partenaires industriels montrent en outre un fort intérêt pour le développement de cette nouvelle technologie.</p> <p>Toutefois, les algorithmes actuels sont conditionnés à l'utilisation de formes régulières, laissant présager de certaines limitations. Une piste intéressante qui permettrait d'aller au-delà de ces considérations serait l'utilisation de réseaux de neurones pour produire des solutions de masques idéaux, non-intuitifs. Si disponibles, de tels résultats permettraient de pousser encore plus loin les réalisations 3D possibles.</p> <p>Le stage s'effectuera au sein du Groupe Computational Lithography (CLG) du CEA-LETI.</p> <ul style="list-style-type: none">- Objectifs : Création de masques non-intuitifs pour la lithographie 3D par réseaux de neurones.- Aspects novateurs : Développement d'algorithmes innovants pour l'obtention de masques de lithographie optique 'free form'.- Missions : Vous prendrez en main et éprouverez la solution de modélisation pour la lithographie 3D développée au sein de l'équipe. Vous investiguerez ensuite la mise en place, l'entraînement, la vérification puis l'utilisation de réseaux de neurones dans l'objectif de produire des agencements de masques de lithographie 'free form' sans contrainte. Pour cela, vous pourrez vous appuyer sur tous les résultats et simulations déjà disponibles au sein de la Plateforme Silicium du LETI.- Moyens : Bibliothèques CLG python, Développement collaboratif SVN, Intégration continue, HPC CPU/GPU, cluster de calcul Unix dédié au CLG.
Profil du candidat	Envoi des Cv et LM : jean-baptiste.henry@cea.fr Bac+5

Master2, ingénieur 3ème année physique, Intelligence artificielle, informatique

Critères candidat

Diplôme préparé Bac+5 - Master 2
Possibilité de poursuite en thèse Oui

Programme

Segment CEA Technologies de l'information

Demandeur

Direction du Demandeur DRT
Nom Manager HENRY
Prénom Manager Jean-Baptiste
E-mail du tuteur / Responsable jean-baptiste.henry@cea.fr
Disponibilité du poste 07/02/2022

Suivi RH

Responsable principal Béatrice ANCÉ
Suivie par Julie COURTIAL
Date de mise à jour automatique Non

2021-19061 Stage: Etude des forces d'adhésion impliquées dans le procédé de litho par nano-impression H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DPFT/SPAT/LLIT
Description de l'unité	A Grenoble, au centre des Alpes, le LETI est un institut de recherche appliquée en micro et nano technologies, technologies de l'information et de la santé. Interface privilégiée du monde industriel et de la recherche académique, il assure chaque année le développement et le transfert de technologies innovantes dans des secteurs variés via des programmes de recherche utilisant nos plateformes technologiques.

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	GRENOBLE
Possibilité de poursuite en thèse	Non
Domaine	Technologies micro et nano
Contrat	Stage
Intitulé de l'offre	Stage: Etude des forces d'adhésion impliquées dans le procédé de litho par nano-impression H/F
Sujet de stage	La lithographie par nano-impression (NIL) permet de mettre en œuvre des motifs de résolutions extrêmement faibles (sub-50nm). Cette technologie avancée est aujourd'hui maîtrisée au laboratoire par une approche d'impression à l'échelle du wafer. Ce procédé met en jeu différentes étapes (impression d'un moule polymère à partir d'un moule silicium, impression d'une couche de polymère mince par ce moule polymère), pour lesquelles le contrôle des interactions de surface est critique. Dans le cadre de ce stage nous proposons une étude des forces d'adhésion impliquées dans le procédé NIL.
Durée du contrat (en mois)	6 max
Description de l'offre	<p>Vous devrez tout d'abord maîtriser la technologie NIL sur un équipement automatique dédié. Vous maîtriserez par ailleurs les techniques de caractérisation associées (mesure épaisseur, dimension, forme, énergie de surface...). Les objectifs du stage porteront sur deux axes principaux:</p> <ul style="list-style-type: none">-La mesure indirecte des forces de détachement impliquées dans le procédé NIL, ainsi que leur impact sur les performances de celui-ci.-L'exploration d'une méthode directe de mesure des forces d'adhésion, qui pourrait être appliquée à d'autres technologies.
Profil du candidat	<p>Envois des CV et LM: maxime.argoud@cea.fr</p> <p>Bac+5</p> <p>Master 2 microtechnologies</p>

Critères candidat

Diplôme préparé	Bac+5 - Master 2
Possibilité de poursuite en thèse	Non

Programme

Segment CEA	Technologies de l'information
-------------	-------------------------------

Demandeur

Direction du Demandeur	DRT
Nom Manager	ARGOUD
Prénom Manager	Maxime
E-mail du tuteur / Responsable	maxime.argoud@cea.f
Disponibilité du poste	07/02/2022

Suivi RH

Responsable principal	Maxime ARGOUD
Suivie par	Béatrice ANCÉ Julie COURTIAL
Alertes email	Toutes les candidatures
Récepteurs des alertes	Maxime ARGOUD
Date de mise à jour automatique	Non

2021-19072 Développement d'une bibliothèque logicielle pour un accélérateur matériel spécialisé H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LIST/DSCIN/LSTA
Description de l'unité	<p>Au sein de CEA Tech, le pôle « recherche technologique » du CEA, l'institut List dédie ses activités aux systèmes numériques intelligents. Nous avons un savoir-faire issu d'une culture de l'innovation et avons pour mission de produire et de transférer les technologies utiles à nos partenaires industriels.</p> <p>Le Laboratoire Systèmes-sur-puce et Technologies Avancées (LSTA) a pour mission d'étudier, concevoir et implémenter des architectures multi-cœurs et des accélérateurs haute performance. Il exploite pour cela les dernières technologies avancées disponibles : CMOS jusqu'au nœud 7nm, intégration 2.5D/3D, mémoires non-volatiles, ainsi que des puces FPGA. Les domaines applicatifs des architectures développées sont ceux du calcul haute-performance (HPC – High Performance Computing), de l'intelligence artificielle (IA) et du quantique (contrôle numérique de circuits quantiques CMOS).</p>

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	Grenoble
Possibilité de poursuite en thèse	Oui
Domaine	Sciences pour l'ingénieur
Contrat	Stage
Intitulé de l'offre	Développement d'une bibliothèque logicielle pour un accélérateur matériel spécialisé H/F
Sujet de stage	Développer une version de la bibliothèque BLAS (Basic Linear Algebra Subsystem) optimisée pour un accélérateur matériel dédié aux applications scientifiques nécessitant une précision numérique accrue.
Durée du contrat (en mois)	6
Description de l'offre	<p>Au sein du laboratoire LSTA du CEA Grenoble, nous avons conçu un accélérateur matériel pour des applications scientifiques nécessitant une précision numérique accrue. L'objectif principal du stage proposé est de développer une version de la bibliothèque BLAS (Basic Linear Algebra Subsystem) optimisée pour cet accélérateur. Cette bibliothèque est très répandue dans les domaines scientifiques pour réaliser des opérations sur des vecteurs et des matrices.</p> <p>Augmenter la précision numérique permet d'accélérer la convergence des noyaux de résolution algébrique qui sont critiques pour tous les calculs de la physique moderne. Toutefois, cette précision accrue n'est pas supportée directement par les processeurs classiques. C'est pourquoi le laboratoire LSTA a conçu un accélérateur qui consiste en plusieurs cœurs de processeur implémentant un jeu d'instructions RISC-V étendu avec le support des nombres à virgule flottante avec précision étendue et variable. Dans chacun des cœurs, il y a donc une unité dédiée au calcul avec ce type de nombres. Comme l'accélérateur comporte plusieurs cœurs, la bibliothèque BLAS implémentée pendant le stage devra exploiter le parallélisme afin de maximiser la performance.</p> <p>Pendant le stage, le stagiaire sera amené à faire principalement des développements en langage C. Il intégrera une des équipes du laboratoire qui travaille sur le domaine du calcul de haute performance. Il aura donc l'opportunité de travailler conjointement avec des concepteurs et architectes des architectures matérielles ainsi que logicielles.</p>
Profil du candidat	Le profil souhaité est une étudiante ou étudiant en 5ème année d'école d'ingénieur ou niveau M2, ayant des connaissances en programmation C ainsi que des bonnes

bases mathématiques. Ce serait un plus si l'étudiante ou étudiant a des connaissances en architecture des processeurs.

Critères candidat

Diplôme préparé	Bac+5 - Diplôme École d'ingénieurs
Formation recommandée	Informatique et électronique
Possibilité de poursuite en thèse	Oui

Programme

Segment CEA	Technologies de l'information
-------------	-------------------------------

Demandeur

Direction du Demandeur	DRT
Nom Manager	Valentian
Prénom Manager	Alexandre
E-mail Manager	alexandre.valentian@cea.fr
E-mail du tuteur / Responsable	cesar.fuguettortolero@cea.fr
Disponibilité du poste	01/03/2022

Suivi RH

Responsable principal	César FUGUET TORTOLERO
Suivi par	Yves DURAND
Alertes email	Toutes les candidatures
Récepteurs des alertes	César FUGUET TORTOLERO, Yves DURAND
Date de mise à jour automatique	Non

2021-19074 Stage - Ajustement électrique de capteurs MEMS



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DCOS/SCMS/LGECA
Description de l'unité	Le CEA Grenoble est situé sur le campus scientifique de MINATEC à Grenoble qui accueille 2 400 chercheurs, 1 200 étudiants et 600 experts en transfert de technologie sur 20 hectares à la pointe de la technologie avec 10 000 m ² de salles blanches. Le candidat profitera de cet environnement scientifique unique et occupera un rôle clé dans l'investigation du couplage entre circuit et composant afin de proposer un système innovant en gardant un lien marqué avec des problématiques concrètes.

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	Grenoble
Possibilité de poursuite en thèse	Oui
Domaine	Technologies micro et nano
Contrat	Stage
Intitulé de l'offre	Stage - Ajustement électrique de capteurs MEMS
Sujet de stage	Ajustement électrique de capteurs MEMS
Durée du contrat (en mois)	6

Description de l'offre

Contexte

Les microsystème électromécaniques (MEMS) apportent des gains importants (consommation, encombrement, précision) pour remplacer les transducteurs classiques dans de nombreuses applications (accéléromètre, capteur de gaz, référence de temps...) et ouvrent de nouvelles perspectives par leurs tailles micrométriques, leurs sensibilités accrues ou leurs facilités de mise en matrice (PMUT, spectroscopie de masse, Lidar...). Une majorité de MEMS utilisés en capteur doit fonctionner à la résonance pour maximiser la sensibilité de mesure. Cependant, les MEMS souffrent de variations importantes en température, présentent des tolérances à la fabrication et dérivent lors de leurs vieillissement, ce qui rend difficile la prévision de leurs comportements (fréquence de résonance, coefficient de qualité) notamment lors de leur mise en matrice. L'ajustement dynamique de ces caractéristiques individuelles et collectives est donc nécessaire pour proposer des solutions robustes.

Contenu du stage

A partir de dispositifs micrométriques de type PMUT développés au Léti, vous aurez à étudier l'adaptation de techniques d'ajustement déjà éprouvées par notre équipe de recherche pour des résonateurs macroscopiques, en exploitant le couplage électromécanique. Après avoir pris connaissance des techniques développées en interne et celles de l'état de l'art international, vous serez en charge de simuler certaines de ces techniques sur la base de modèles électromécaniques de PMUT. Vous combinerez de façon avantageuse les concepts d'inversion de charges dans le matériau, la mise en court circuit ou circuit ouvert notamment, pour émuler des charges électriques actives et réactives, qui moduleront la raideur, la masse intrinsèque et l'amortissement du résonateur électromécanique. Basé majoritairement sur un travail amont de caractérisation de MEMS, vous proposerez une architecture électronique en vue d'une future implémentation via un circuit intégré. Vous développerez vos compétences en conception de circuits intégrés (50%), en mécatronique (30%) et en procédé microélectronique (20%). Vous serez intégré dans un laboratoire spécialisé en intégration d'interfaces capteurs.

Profil du candidat

Vous êtes étudiant en Master 2 ou en Ecole d'ingénieur avec un profil « électronique », motivé à appréhender un sujet à cheval entre circuit et composant alliant mécatronique, conception de circuits intégrés et caractérisations expérimentales. Vous devez avoir une bonne curiosité scientifique et une grande polyvalence afin de traiter diverses disciplines (physique, mécanique, électronique). De plus, une grande créativité est requise pour proposer des schémas de travail innovants et de nouveaux concepts.

Critères candidat

Diplôme préparé	Bac+5 - Master 2
Possibilité de poursuite en thèse	Oui

Programme

Segment CEA	Technologies de l'information
-------------	-------------------------------

Demandeur

Direction du Demandeur	DRT
Nom Manager	ROBINET
Prénom Manager	Stéphanie
E-mail Manager	stephanie.robinet@cea.fr
E-mail du tuteur / Responsable	gael.pillonnet@cea.fr
Disponibilité du poste	01/02/2022

Suivi RH

Responsable principal	Gaël PILLONNET
-----------------------	----------------

Suivie par	Jean-Charles BARBE
Alertes email	Toutes les candidatures
Récepteurs des alertes	Gaël PILLONNET
Date de mise à jour automatique	Non

2021-19075 Stage - Caractérisation de Transistors analogue haute tension pour la 3D séquentielle



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DCOS/SCME/LTI3D
Description de l'unité	<p>Le Département Composants Silicium (DCOS) et l'un des 5 départements du CEA-Leti et a pour mission de conduire les recherches dans le domaine des composants électroniques aux échelles micro- et nanométriques. Ces activités incluent des développements de composants et circuits innovants dans les domaines du CMOS avancé et des mémoires non volatiles, mis en œuvre dans des architectures de calcul en rupture (calcul quantique, architectures neuromorphiques et Intelligence Artificielle embarquée), des applications de puissance, des technologies pour les applications Radiofréquences (RF), des micro- et Nano-systèmes (capteurs et actionneurs) et du stockage d'énergie. Ces travaux sont enrichis de développements de substrats avancés, spécifiques aux différents domaines d'applications visés, d'une large expertise de l'intégrations en 3D des composants développés ainsi que des moyens nécessaires à la caractérisation des performances des composants développés. Pour ces réalisations technologiques, le DCOS s'appuie sur la plateforme technologique du CEA-Leti (DPFT) lui permettant de démontrer la réalité de ses développements dans un environnement de salle blanche proche des standards de l'industrie et facilitant ainsi l'adoption de ses développements par des partenaires industriels.</p>

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	Grenoble
Possibilité de poursuite en thèse	Oui
Domaine	Technologies micro et nano
Contrat	Stage
Intitulé de l'offre	Stage - Caractérisation de Transistors analogue haute tension pour la 3D séquentielle
Sujet de stage	<p>L'intégration 3D séquentielle est la solution technologique ultime pour atteindre une forte densité d'interconnexion entre des niveaux de dispositifs électroniques empilés mais elle requiert de réaliser les dispositifs des niveaux supérieurs à faible budget thermique. Le CEA-Leti, pionnier dans ce domaine, possède une expertise unique concernant la réalisation de transistors fabriqués à faible température. Le stage s'inscrit dans un cadre de diversification de cette filière technologique pour adresser des applications dites hétérogènes, où les dispositifs empilés sont interfacés avec des capteurs (par exemple imageur) ou actionneurs. Dans cette application, la qualité de l'empilement de grille est particulièrement critique et requiert des innovations pour améliorer les performances et surtout la fiabilité des transistors, tout en respectant la limitation de budget thermique induite par cette filière.</p>
Durée du contrat (en mois)	6
Description de l'offre	<p>Vous contribuerez à la caractérisation électrique de transistors MOS Fully-Depleted-Silicon-On-Insulator (FDSOI) haute tension (5V), dédiés à une intégration séquentielle à basse température en 3D et pouvant servir comme transistor de commande de capteurs ou actionneurs. Différents empilements de grilles et différentes variantes d'intégration seront comparés. Des paramètres électriques clés seront extraits et la fiabilité des composants analysé vis-à-vis des variantes technologiques.</p> <p>Ce stage sera co-encadré par l'équipe d'intégration & de dispositifs et par l'équipe de tests et caractérisation électrique.</p>
Profil du candidat	Bac+5 - Diplôme École d'ingénieurs

Critères candidat

Langues	Anglais (Courant)
---------	-------------------

Diplôme préparé	Français (Courant)
Possibilité de poursuite en thèse	Bac+5 - Diplôme École d'ingénieurs
	Oui

Demandeur

Direction du Demandeur	DRT
Nom Manager	Ollier
Prénom Manager	Emmanuel
E-mail Manager	emmanuel.ollier@cea.fr
E-mail du tuteur / Responsable	laurent.brunet@cea.fr
Disponibilité du poste	01/03/2022

Suivi RH

Suivi par	Laurent BRUNET
Alertes email	Toutes les candidatures
Récepteurs des alertes	Laurent BRUNET
Date de mise à jour automatique	Non

2021-19081 Prise de décision basée sur l'incertitude renvoyée par réseaux de neurone bayésien H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LIST/DSCIN/LIAE
Description de l'unité	<p>Le Commissariat à l'Energie Atomique et aux Energies Alternatives (CEA) est un acteur majeur en matière de recherche, de développement et d'innovation. Cet organisme de recherche technologique intervient dans trois grands domaines : l'énergie, les technologies pour l'information et la santé et la défense. Reconnu comme un expert dans ses domaines de compétences, le CEA est pleinement inséré dans l'espace européen de la recherche et exerce une présence croissante au niveau international. Situé en île de France sud (Saclay), le Laboratoire d'Intégration des Systèmes et des Technologies (LIST) a notamment pour mission de contribuer au transfert de technologies et de favoriser l'innovation dans le domaine des systèmes embarqués.</p> <p>Au sein du LIST, le Laboratoire Intelligence Artificielle Embarquée (LIAE) est chargé de mettre en œuvre des solutions embarquées de perception intégrant des architectures de calcul innovantes (IA/CNN) couplées à des ensembles de capteurs multimodaux (basés imageurs).</p>

Description du poste

Site	Saclay
Pays	France
Régions	Ile-de-France
Départements	Essonne (91)
Ville	Gif-sur-Yvette
Possibilité de poursuite en thèse	Oui
Domaine	Systèmes d'information
Contrat	Stage
Intitulé de l'offre	Prise de décision basée sur l'incertitude renvoyée par réseaux de neurone bayésien H/F
Sujet de stage	<p>La navigation est une des fonctionnalités les plus importantes des systèmes mobiles autonomes qui permet au véhicule de se déplacer d'un point à l'autre. Mais les réseaux de neurones convolutionnels et plus précisément ceux utilisés dans la prise de décisions critiques dans la navigation souffrent par leur construction d'excès de confiance dans leurs sorties surtout lorsque les entrées sont hors de la distribution.</p> <p>L'objectif de ce stage est d'étudier l'apport des réseaux de neurones bayésiens dans l'identification et la quantification de l'incertitude qu'a un réseau de neurone de navigation robotique de type Actor-Critic dans sa sortie pour pouvoir ensuite mitiger la décision qui va être prise.</p>
Durée du contrat (en mois)	6
Description de l'offre	<p>Les tâches principales du stage sont définies comme suit :</p> <ul style="list-style-type: none">· Explorer l'état de l'art sur les approches bayésiennes ainsi que les approches de planification/navigation autonome qui intègrent l'aspect incertitude et qui sont dédiées à des implémentations embarquées ;· Implémenter une version de l'algorithme Actor-Critic actuel en intégrant la technique de Montecarlo dropout [1] ;· Implémenter une seconde version basée sur la technique de Variational inference [2];· Proposer des méthodes pour qualifier le 'niveau' d'incertitude ainsi que la complexité du calcul d'incertitude ;· Validation de la pertinence des résultats sur simulateur de type Habitat-Lab [3] ou Gazebo [4];

Le(a) candidat(e) doit être doté(e) d'un solide esprit d'analyse et doit savoir être force de proposition afin d'influer sur la direction de ses travaux de recherche.

[1]. <http://proceedings.mlr.press/v48/gal16.html>

[2]. <http://proceedings.mlr.press/v37/blundell15.html>

[3]. Habitat-Lab, facebook research: <https://github.com/facebookresearch/habitat-lab>

[4]. Gazebo ROS simulator <http://gazebosim.org/>

Moyens / Méthodes / Logiciels

Navigation, IA, Apprentissage par renforcement, traitement d'image, prise de décision, incertitude

Profil du candidat

Réseaux de neurones profonds, apprentissage par renforcement, C++, statistique/probabilité, Python, Pytorch, des connaissances en ROS, Gazebo seront appréciés

Critères candidat

Langues	Anglais (Intermédiaire)
Diplôme préparé	Bac+5 - Master 2
Formation recommandée	Ingénieur informatique ou électronique
Possibilité de poursuite en thèse	Oui

Programme

Segment CEA	Technologies de l'information
-------------	-------------------------------

Demandeur

Direction du Demandeur	DRT
Nom Manager	OJAIL
Prénom Manager	Maroun
E-mail Manager	maroun.ojail@cea.fr
E-mail du tuteur / Responsable	karim.benchehida@cea.fr
Disponibilité du poste	31/01/2022

Suivi RH

Responsable principal	Karim BENCHEHIDA
Suivi par	Dinh khanh HO Thomas DALGATY
Alertes email	Toutes les candidatures
Récepteurs des alertes	Karim BENCHEHIDA, Dinh khanh HO, Thomas DALGATY
Date de mise à jour automatique	Non

2021-19093 Robotics: Skill-based intuitive programming using motion-capture H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LIST/DIASI/SRI/LCSR
Description de l'unité	<p>Le Service de Robotique Interactive du CEA est spécialisé dans le domaine de l'interaction homme-robot, qui couvre notamment les domaines de la robotique collaborative, des exosquelettes et de la télé-manipulation.</p> <p>Pour piloter ses robots, le laboratoire développe ses propres outils logiciels, du contrôleur robotique temps réel aux IHM de supervision 3D et de programmation intuitive.</p> <p>Aperçu ici : https://youtu.be/qXw9TYuX9s</p>

Description du poste

Site	Saclay
Pays	France
Régions	Ile-de-France
Départements	Essonne (91)
Ville	Palaiseau (Site de Nano-Innov)
Possibilité de poursuite en thèse	Oui
Domaine	Mathématiques, information scientifique, logiciel
Contrat	Stage
Intitulé de l'offre	Robotics: Skill-based intuitive programming using motion-capture H/F
Sujet de stage	<p>Vous rejoindrez l'équipe « software », constituée d'une quinzaine de permanents répartis entre Palaiseau et Bordeaux, pour mener des activités de recherche dans le domaine de l'interaction homme-robot.</p> <p>Votre mission principale sera de mettre en œuvre la toolbox de programmation intuitive sur un ou plusieurs cas d'applications industriels, de faire évoluer cette toolbox selon les besoins observés, et de mettre en exergue les limites actuelles nécessitant des développements complémentaires plus approfondis (sujets de recherche).</p>
Durée du contrat (en mois)	6 mois
Description de l'offre	<p>Contexte</p> <p>Vous êtes spécialisé ou passionné de développement logiciel, de robotique et d'IA ? Vous aimez résoudre des problèmes complexes et concrets ?</p> <p>Un des principaux challenges au déploiement de la robotique dans l'industrie est de proposer des robots intelligents, capables de comprendre le contexte dans lequel ils évoluent (y compris l'opérateur) et facilement programmables sans compétences avancées en robotique et en informatique. Dans ce cadre, le CEA développe une interface de programmation intuitive permettant à un opérateur non expert de définir des tâches réalisées ensuite par un robot.</p> <p>Des travaux en cours, menés dans le cadre de plusieurs projets européens, portent sur le développement d'une toolbox d'apprentissage par démonstration, qui s'appuie sur le motion capture et le skill-based programming. Le motion capture permet d'apprendre des primitives géométriques (points, trajectoires, gestes) utilisées dans les skills du robot. Une skill est une fonction métier de haut niveau (ex. visser, insérer, poncer, souder...). Son haut niveau d'abstraction permet de faciliter la programmation de la tâche par l'opérateur.</p> <p>Travail demandé</p> <p>Vous rejoindrez l'équipe « software », constituée d'une quinzaine de permanents répartis entre Palaiseau et Bordeaux, pour mener des activités de recherche dans le domaine de l'interaction homme-robot.</p>

Votre mission principale sera de mettre en œuvre la toolbox de programmation intuitive sur un ou plusieurs cas d'applications industriels, de faire évoluer cette toolbox selon les besoins observés, et de mettre en exergue les limites actuelles nécessitant des développements complémentaires plus approfondis (sujets de recherche).

Le contenu exact du stage sera adapté en fonction du profil du stagiaire. Il se focalisera sur une ou plusieurs des activités suivantes :

- Apprentissage par démonstration : Évolution des outils d'apprentissage (développement de nouvelles fonctions d'assistance utilisateur, amélioration interface graphique, amélioration ergonomie...)
- Skills : développement de skills spécifiques aux cas d'applications, formalisation de skills bidexres, évolution de la toolbox (ajout de fonctionnalités d'apprentissage, développement de skills, gestions améliorée de modes dégradés...)
- IA : mise en œuvre de techniques d'optimisation ou de machine learning pour paramétrer automatiquement les skills
- Démonstrateurs : définition des scénarios, intégration matérielle et logicielle, optimisation des performances et du workflow, afin de tirer le meilleur parti des outils utilisés.

Moyens / Méthodes / Logiciels Motion-capture (HTC Vive), Python, C++, Linux
Profil du candidat

Compétences requises

Formation/expérience solide en robotique et développement logiciel (concepts POO, Python, C++). La maîtrise de Linux et de GIT est un plus.

Plus généralement, vous devrez faire preuve d'une très bonne capacité d'initiative, d'analyse, de rigueur, et apprécier le travail en équipe.

Critères candidat

Diplôme préparé	Bac+5 - Diplôme École d'ingénieurs
Formation recommandée	Robotique, Informatique
Possibilité de poursuite en thèse	Oui

Programme

Segment CEA	Valorisation de la recherche technologique
-------------	--

Demandeur

Direction du Demandeur	DRT
Nom Manager	Gradoussoff
Prénom Manager	Baptiste
E-mail Manager	baptiste.gradoussoff@cea.fr
E-mail du tuteur / Responsable	baptiste.gradoussoff@cea.fr
Disponibilité du poste	01/02/2022

Suivi RH

Suivi par	Baptiste GRADOUSSOFF
Alertes email	Toutes les candidatures
Récepteurs des alertes	Baptiste GRADOUSSOFF
Date de mise à jour automatique	Non

2021-19095 Stage: Elaboration de matériaux HZO pour mémoires non volatiles par des procédés ALD H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DPFT/SDEP/LDJ
Description de l'unité	A Grenoble, au centre des Alpes, le LETI est un institut de recherche appliquée en micro et nano technologies, technologies de l'information et de la santé. Interface privilégiée du monde industriel et de la recherche académique, il assure chaque année le développement et le transfert de technologies innovantes dans des secteurs variés via des programmes de recherche utilisant nos plateformes technologiques.

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	GRENOBLE
Possibilité de poursuite en thèse	Oui
Domaine	Matériaux, physique du solide
Contrat	Stage
Intitulé de l'offre	Stage: Elaboration de matériaux HZO pour mémoires non volatiles par des procédés ALD H/F
Sujet de stage	Les mémoires non volatiles à base des couches d'oxyde d'hafnium HfO ₂ ferroélectrique sont très prometteuses grâce à leur très faible consommation (inférieur 100fJ/bit), leur rapidité (inférieur 10ns) et la facilité d'intégration. Le CEA-LETI se positionne aujourd'hui en leader sur les mémoires FeRAM à base de HfO ₂ . Dans ce contexte, la mise en œuvre de nouvelles couches diélectriques ultraminces HZO (épaisseur inférieure 10nm; mélange HfO ₂ et ZrO ₂) joue un rôle critique dans l'optimisation des propriétés ferroélectriques (courant de fuite, endurance...) tout en étant compatibles avec les procédés back-end.
Durée du contrat (en mois)	6 max
Description de l'offre	L'objectif du stage est d'accompagner les développements opérés par le LETI dans la fabrication et l'optimisation des couches HZO fabriquées par ALD (Atomic Layer Deposition). Les travaux seront focalisés en premier lieu sur la maîtrise du procédé de dépôt ALD ainsi que sur les différentes techniques de caractérisations associées (Ellipso, XPS, GIXRD, XRR, WDXRF...) des couches intrinsèques. Dans une deuxième phase, nous serons amenés à faire une corrélation entre les propriétés intrinsèques et les propriétés ferroélectriques des couches HZO dans un empilement électrique type MIM (métal-isolant-métal).
Profil du candidat	Envoi des CV et LM : messaoud.bedjaoui@cea.fr Bac+5 Master 2 , 3ème année ingé Matériaux, procédés dépôts

Critères candidat

Diplôme préparé	Bac+5 - Master 2
Possibilité de poursuite en thèse	Oui

Programme

Segment CEA Technologies de l'information

Demandeur

Direction du Demandeur	DRT
Nom Manager	BEDJAOUI
Prénom Manager	Messaoud
E-mail du tuteur / Responsable	messaoud.bedjaoui@cea.fr
Disponibilité du poste	07/02/2022

Suivi RH

Responsable principal	Béatrice ANCÉ
Suivie par	Julie COURTIAL
Date de mise à jour automatique	Non

2021-19097 Stage: Étude et développement de contacts métal / semiconducteur pour technologies GaN H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DPFT/SDEP/LDJ
Description de l'unité	A Grenoble, au centre des Alpes, le LETI est un institut de recherche appliquée en micro et nano technologies, technologies de l'information et de la santé. Interface privilégiée du monde industriel et de la recherche académique, il assure chaque année le développement et le transfert de technologies innovantes dans des secteurs variés via des programmes de recherche utilisant nos plateformes technologiques.

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	GRENOBLE
Possibilité de poursuite en thèse	Oui
Domaine	Matériaux, physique du solide
Contrat	Stage
Intitulé de l'offre	Stage: Étude et développement de contacts métal / semiconducteur pour technologies GaN H/F
Sujet de stage	<p>A travers divers projets, les équipes du LETI travaillent activement depuis plusieurs années au développement de technologies à base de GaN, notamment pour des applications de type électronique de puissance, afin d'assurer les enjeux de la transition énergétique. Pour l'ensemble de ces technologies, le développement d'une brique "contact" performante (préparation de surface, dépôt métallique, recuit), assurant le contrôle des dispositifs via le circuit intégré, reste aujourd'hui un verrou technologique majeur. De fait, de par ses caractéristiques intrinsèques d'exception, tant en termes de structure cristalline que de propriété physico-chimiques, le GaN se comporte de manière non conventionnelle et les méthodes d'intégration traditionnelles doivent être adaptées.</p>
Durée du contrat (en mois)	6 max
Description de l'offre	<p>L'objectif du stage proposé est d'évaluer la pertinence d'appliquer différents leviers technologiques hérités des filières silicium au GaN, via l'utilisation de techniques de caractérisation appropriées permettant la compréhension des mécanismes mis en jeu. Dans l'optique d'une poursuite en thèse, une plus grande gamme de substrats ainsi que des approches disruptives seront également étudiés. Vous aurez alors pour mission de synthétiser l'ensemble des connaissances ainsi acquises, afin de proposer des schémas d'intégrations adaptés aux technologies, qui seront alors testés sur des prototypes fonctionnels.</p> <ul style="list-style-type: none">- Comprendre les spécificités liées au développement de la brique contact pour l'électronique de puissance à base de GaN, en se basant sur l'expertise du groupe et un travail bibliographique personnel (compréhension écrite de l'anglais nécessaire)- Coordonner l'utilisation de différentes techniques de caractérisation (DRX, AFM, XRR, TEM...) et mettre en regard les résultats obtenus afin de proposer une compréhension aboutie du système étudié, qui permettra in fine de répondre aux différents besoins des départements applicatifs (reprise de contact sur p-GaN et effets de polarité, notamment)- Traitement de données via l'utilisation de divers logiciels- S'intégrer dans "l'environnement LETI", i.e. assurer le transfert d'information fluide entre les différents partenaires impliqués dans cette thématique (salle blanche, plateforme caractérisation, département applicatif)- Dans l'optique d'une poursuite en thèse, interfacer avec les responsables en intégration technologique et les experts procédés pour la réalisation des véhicules de test électriques.
	Envoi des Cv et LM : sophie.guillemin@cea.fr

Profil du candidat

Bac+5 Ecoles ingénieurs Master 2

Sciences des Matériaux ou Matière Condensée

Critères candidat

Diplôme préparé Bac+5 - Diplôme École d'ingénieurs

Possibilité de poursuite en thèse Oui

Programme

Segment CEA Technologies de l'information

Demandeur

Direction du Demandeur DRT

Nom Manager GUILLEMIN

Prénom Manager Sophie

E-mail du tuteur / Responsable sophie.guillemin@cea.fr

Disponibilité du poste 07/02/2022

Suivi RH

Responsable principal Béatrice ANCÉ

Suivie par Julie COURTIAL

Date de mise à jour automatique Non

2021-19098 Stage : Influence du plasma de preclean pour l'obtention du contact Ni sur substrat n-InP H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DPFT/SDEP/LDJ
Description de l'unité	A Grenoble, au centre des Alpes, le LETI est un institut de recherche appliquée en micro et nano technologies, technologies de l'information et de la santé. Interface privilégiée du monde industriel et de la recherche académique, il assure chaque année le développement et le transfert de technologies innovantes dans des secteurs variés via des programmes de recherche utilisant nos plateformes technologiques.

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	GRENOBLE
Possibilité de poursuite en thèse	Non
Domaine	Matériaux, physique du solide
Contrat	Stage
Intitulé de l'offre	Stage : Influence du plasma de preclean pour l'obtention du contact Ni sur substrat n-InP H/F
Sujet de stage	Ce stage se place dans la continuité des travaux menés dans le cadre de l'IRT photonique, sur les contacts sur matériaux III-V. La métallisation Ni est la plus favorable pour l'obtention d'un contact ohmique CMOS-compatible sur n-InP. Il a été montré que la préparation de surface par plasma in-situ avant le dépôt du métal est prépondérante afin d'enlever l'oxyde natif sans dégrader la surface fragile du matériau. Cependant les performances de ce plasma se sont dégradées dans le temps. L'optimisation de ce process revêt donc un enjeu majeur pour l'obtention d'un contact ohmique sur n-InP.
Durée du contrat (en mois)	4 max
Description de l'offre	<p>Une étude paramétrique sur le plasma He de l'équipement de dépôt du Ni, via la réalisation de structures de tests électriques TLM, visera à mieux comprendre l'influence du preclean sur la résistivité spécifique du contact n-InP/Ni. L'étude sera complétée par des mesures AFM de la rugosité de surface de l'InP.</p> <p>Vous suivrez la fabrication des structures TLM à la salle blanche PTA et prendrez en charge les mesures électriques sur prober. Vous synthétiserez les résultats et effectuerez l'interprétation en vous appuyant sur les études matériaux déjà menées dans le service.</p> <p>Envoi des CV et LM : nicolas.coudurier@cea.fr</p>
Profil du candidat	<p>Bac+2 ou 3 DUT Licence</p> <p>Micro nano, Matériaux</p>

Critères candidat

Diplôme préparé	Bac+2 - Diplôme universitaire de technologie (DUT)
Possibilité de poursuite en thèse	Non

Programme

Segment CEA	Technologies de l'information
-------------	-------------------------------

Demandeur

Direction du Demandeur	DRT
Nom Manager	COUDURIER
Prénom Manager	Nicolas
E-mail du tuteur / Responsable	nicolas.coudurier@cea.fr
Disponibilité du poste	01/03/2022

Suivi RH

Responsable principal	Nicolas COUDURIER
Suivie par	Béatrice ANCÉ Julie COURTIAL
Date de mise à jour automatique	Non

2021-19099 Stage : Elaboration de matériaux d'électrolyte pour composants ioniques par des procédés ALD H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DPFT/SDEP/LDJ
Description de l'unité	A Grenoble, au centre des Alpes, le LETI est un institut de recherche appliquée en micro et nano technologies, technologies de l'information et de la santé. Interface privilégiée du monde industriel et de la recherche académique, il assure chaque année le développement et le transfert de technologies innovantes dans des secteurs variés via des programmes de recherche utilisant nos plateformes technologiques.

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	GRENOBLE
Possibilité de poursuite en thèse	Oui
Domaine	Matériaux, physique du solide
Contrat	Stage
Intitulé de l'offre	Stage : Elaboration de matériaux d'électrolyte pour composants ioniques par des procédés ALD H/F
Sujet de stage	Pour répondre aux besoins incessants de couches ultra-minces lithiées, le LETI s'est doté d'un équipement ALD (compatible wafers 200mm) pour le dépôt de couches lithiées sur les substrats planaires et les substrats structurés. Dans ce contexte, les évaluations des différents précurseurs lithiés jouent un rôle critique dans l'optimisation des propriétés intrinsèques des couches lithiées. L'objectif du stage est d'accompagner les développements opérés par le LETI dans la fabrication et l'optimisation des couches lithiées.
Durée du contrat (en mois)	6 max
Description de l'offre	L'outil de dépôt ALD est doté d'un ellipsomètre spectroscopique in situ permettant une évaluation préliminaire du procédé et des couches fabriquées. Pour répondre à l'objectif du stage, il faudra : -Evaluer la faisabilité de couches d'électrolytes lithiées avec de nouveaux précurseurs -Adapter les techniques in situ et ex-situ (ellipsométrie, XRR, GIXRD, XPS...) pour le monitoring et le suivi des propriétés physico-chimiques des couches élaborées.
Profil du candidat	Envoi des CV et LM : messaoud.bedjaoui@cea.fr Bac+5 Master 2 Matériaux

Critères candidat

Diplôme préparé	Bac+5 - Master 2
Possibilité de poursuite en thèse	Oui

Programme

Segment CEA	Technologies de l'information
-------------	-------------------------------

Demandeur

Direction du Demandeur	DRT
Nom Manager	BEDJAOUI
Prénom Manager	Messaoud
E-mail du tuteur / Responsable	messaoud.bedjaoui@cea.fr
Disponibilité du poste	07/02/2022

Suivi RH

Responsable principal	Béatrice ANCÉ
Suivie par	Julie COURTIAL
Date de mise à jour automatique	Non

2021-19102 Stage - Modélisation compacte des transistors en technologie PDSOI H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DCOS/SCMS/LSM
Description de l'unité	<p>Le Département Composants Silicium (DCOS) et l'un des 5 départements du CEA-Leti et a pour mission de conduire les recherches dans le domaine des composants électroniques aux échelles micro- et nanométriques. Ces activités incluent des développements de composants et circuits innovants dans les domaines du CMOS avancé et des mémoires non volatiles, mis en œuvre dans des architectures de calcul en rupture, des applications de puissance, des technologies pour les applications Radiofréquences (RF), des micro- et Nano-systèmes (capteurs et actionneurs) et du stockage d'énergie. Ces travaux sont enrichis de développements de substrats avancés, spécifiques aux différents domaines d'applications visés, d'une large expertise de l'intégrations en 3D des composants développés ainsi que des moyens nécessaires à la caractérisation des performances des composants développés. Pour ces réalisations technologiques, le DCOS s'appuie sur la plateforme technologique du CEA-Leti (DPFT) lui permettant de démontrer la réalité de ses développements dans un environnement de salle blanche proche des standards de l'industrie et facilitant ainsi l'adoption de ses développements par des partenaires industriels.</p>

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	Grenoble
Possibilité de poursuite en thèse	Oui
Domaine	Technologies micro et nano
Contrat	Stage
Intitulé de l'offre	Stage - Modélisation compacte des transistors en technologie PDSOI H/F
Sujet de stage	<p>L'objectif de ce stage est de contribuer au développement d'un nouveau modèle analytique de transistor MOS partiellement déserté sur substrat SOI. Le candidat intégrera le laboratoire de simulation et de modélisation du Leti dans une équipe en charge de modèles compacts utilisés dans l'industrie.</p>
Durée du contrat (en mois)	6 mois
Description de l'offre	<p>La technologie CMOS silicium sur isolant partiellement désertée (PDSOI) est déployée à grande échelle et déjà utilisée dans de nombreuses applications. Pourtant, à ce jour, il n'existe pas de modèle compact satisfaisant dédié à cette technologie. Un modèle compact est un modèle analytique basé sur les équations de la physique du composant. À l'inverse d'une résolution numérique, un modèle analytique permet l'implémentation d'un code extrêmement robuste et performant qui répond aux besoins de l'industrie.</p> <p>Le Laboratoire de Simulation et de Modélisation du Leti, spécialisé notamment dans le développement de ces modèles, a initié des travaux de modélisation des transistors PDSOI dans le cadre de partenariats industriels.</p> <p>L'objectif du stage est de contribuer aux développements initiés au sein du laboratoire. Pour cela, vous serez amené à déterminer une solution explicite à partir des équations de la physique du semiconducteur afin de décrire le comportement d'un transistor MOSFET PDSOI. Cette solution sera comparée à des simulations numériques (TCAD). Vous devrez prendre en considération les effets apparaissant dans les transistors de faibles longueurs de grille et dans les transistors étroits. Et enfin, vous devrez également décrire précisément les transitions entre les différents régimes de fonctionnement.</p>

Profil du candidat

Une formation en physique des semi-conducteurs avec une bonne connaissance des composants classiques tels que les transistors, les diodes, etc est appréciée.

Critères candidat

Diplôme préparé	Bac+5 - Master 2
Possibilité de poursuite en thèse	Oui

Demandeur

Direction du Demandeur	DRT
Nom Manager	ROZEAU
Prénom Manager	Olivier
E-mail Manager	olivier.rozeau@cea.fr
Disponibilité du poste	01/02/2022

Suivi RH

Suivi par	ADRIEN VAYSSET
Alertes email	Toutes les candidatures
Récepteurs des alertes	ADRIEN VAYSSET
Date de mise à jour automatique	Non

2021-19107 Stage - Calcul hyper-dimensionnel pour la reconnaissance de gestes à partir de signaux biologiques



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DCOS/SCME/LDMC
Description de l'unité	<p>Le Département Composants Silicium (DCOS) et l'un des 5 départements du CEA-Leti et a pour mission de conduire les recherches dans le domaine des composants électroniques aux échelles micro- et nanométriques. Ces activités incluent des développements de composants et circuits innovants dans les domaines du CMOS avancé et des mémoires non volatiles, mis en œuvre dans des architectures de calcul en rupture (calcul quantique, architectures neuromorphiques et Intelligence Artificielle embarquée), des applications de puissance, des technologies pour les applications Radiofréquences (RF), des micro- et Nano-systèmes (capteurs et actionneurs) et du stockage d'énergie. Ces travaux sont enrichis de développements de substrats avancés, spécifiques aux différents domaines d'applications visés, d'une large expertise de l'intégrations en 3D des composants développés ainsi que des moyens nécessaires à la caractérisation des performances des composants développés. Pour ces réalisations technologiques, le DCOS s'appuie sur la plateforme technologique du CEA-Leti (DPFT) lui permettant de démontrer la réalité de ses développements dans un environnement de salle blanche proche des standards de l'industrie et facilitant ainsi l'adoption de ses développements par des partenaires industriels.</p>

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	GRENOBLE
Possibilité de poursuite en thèse	Oui
Domaine	Technologies micro et nano
Contrat	Stage
Intitulé de l'offre	Stage - Calcul hyper-dimensionnel pour la reconnaissance de gestes à partir de signaux biologiques
Sujet de stage	<p>Dans ce travail, nous proposons d'étudier un nouveau paradigme de calcul appelé « calcul hyperdimensionnel ». Développé et utilisé pour les applications de l'intelligence artificielle, ce nouveau paradigme, qui s'inspire des modèles d'activité neuronale, s'appuie sur l'utilisation de grands vecteurs (~10 000 bits chacun). Durant ces dernières années, cette approche s'est récemment avérée être très efficace pour des applications de reconnaissance et de classification (associées à différentes fonctions cognitives comme la perception, la mémoire, le langage, etc.). Très robuste au bruit numérique, le calcul hyperdimensionnel est aujourd'hui envisagé au sein même de la mémoire (in-memory-computing) afin de réduire notablement la consommation d'énergie en évitant ou limitant le transfert de données entre la mémoire et le CPU. Ce que nous proposons dans le cadre de ce stage, c'est d'évaluer l'efficacité de cet algorithme pour la reconnaissance et la classification de signaux biologiques.</p>
Durée du contrat (en mois)	6
Description de l'offre	<p>Dans ce travail, nous proposons d'étudier un nouveau paradigme de calcul appelé « calcul hyperdimensionnel ». Développé et utilisé pour les applications de l'intelligence artificielle, ce nouveau paradigme, qui s'inspire des modèles d'activité neuronale, s'appuie sur l'utilisation de grands vecteurs (~10 000 bits chacun). Durant ces dernières années, cette approche s'est récemment avérée être très efficace pour des applications de reconnaissance et de classification (associées à différentes fonctions cognitives comme la perception, la mémoire, le langage, etc.). Très robuste au bruit numérique, le calcul hyperdimensionnel est aujourd'hui envisagé au sein même de la mémoire (in-memory-computing) afin de réduire notablement la consommation d'énergie en évitant ou limitant le transfert de données entre la mémoire et le CPU. Ce que nous proposons dans le cadre de ce stage, c'est d'évaluer l'efficacité de cet algorithme pour la reconnaissance et la classification de signaux biologiques (électromyographies, électroencéphalographies) afin de proposer une technologie ambitieuse pour l'aide au diagnostic et à la prise de décision.</p>

Le stage se déroulera en plusieurs phases : une première étude bibliographique sur les modèles de calcul hyperdimensionnel devra être réalisée pour comprendre la manière d'encoder l'information et pour réaliser la reconnaissance et la classification des données. Parallèlement à cela, vous devrez également identifier les bases de données disponibles des différents signaux biologiques (signaux électromyographiques et électroencéphalographiques). Ensuite, vous devrez développer un modèle de calcul hyperdimensionnel permettant d'encoder ces signaux pour les reconnaître et les classer de façon efficace. Enfin, vous devrez également réfléchir à une implémentation hardware de cette solution en s'appuyant sur les technologies mémoires innovantes pour que ces calculs soient réalisés au sein même de la mémoire.

Ce stage se déroulera dans le cadre d'une collaboration étroite entre deux laboratoires travaillant sur l'intégration des technologies mémoires pour le calcul et le design de circuits innovants pour les applications « in-memory-computing ».

Profil du candidat

Maîtrise du langage python

Formation conception de circuit et design

Formation en micro-nano-technologie

Notion sur l'intelligence artificielle

Critères candidat

Formation recommandée	Formation en nanoscience, micro-nanotechnologie, conception de circuit, design
Possibilité de poursuite en thèse	Oui

Programme

Segment CEA	Technologies de l'information
-------------	-------------------------------

Demandeur

Direction du Demandeur	DRT
Nom Manager	ANDRIEU
Prénom Manager	FRANCOIS
E-mail Manager	francois.andrieu@cea.fr
Disponibilité du poste	15/02/2022

Suivi RH

Suivi par	Sylvain BARRAUD
Alertes email	Toutes les candidatures
Récepteurs des alertes	Sylvain BARRAUD
Date de mise à jour automatique	Non

2021-19108 Stage conception de circuits numériques H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LIST/DSCIN/LIIM
Description de l'unité	Le Laboratoire Intelligence Intégrée Multi-capteurs (LIIM) a pour mission d'étudier et de développer des algorithmes embarqués d'intelligence artificielle, de fusion de données et de perception de l'environnement pour des systèmes cyber-physiques multi-capteurs, de concevoir et d'implémenter des plateformes de démonstration logicielles et matérielles mettant en œuvre ces algorithmes avec l'introduction de technologies innovantes, notamment pour la réalisation de circuits intégrés spécifiques.

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	Grenoble
Possibilité de poursuite en thèse	Non
Domaine	Technologies micro et nano
Contrat	Stage
Intitulé de l'offre	Stage conception de circuits numériques H/F
Sujet de stage	Conception de circuit numérique en 3 Dimensions pour les Imageurs Intelligents
Durée du contrat (en mois)	6
Description de l'offre	<p>Les technologies d'intégration des circuits intégrés en 3 dimensions numériques (3D IC), i.e. l'empilement de 2 puces ou plaques électroniques, ont énormément avancé ces dernières années, au point de concurrencer la loi de Moore de transistors. L'intégration 3D devient de plus en plus utilisée pour des nombreuses applications et tout particulièrement le secteur des Imageurs et Cameras Intelligentes qui bénéficient pleinement de l'intégration 3D en rapprochant au plus près du capteur des fonctions d'intelligence artificielle (IA). En revanche, l'intégration 3D pose des nouveaux défis aux outils de conception de circuits intégrés (outils CAD), intrinsèquement 2D.</p> <p>La synthèse physique des circuits numériques, (Synthèse et Placement Routage), est une étape critique dans le flot de conception des circuits intégrés. En l'absence d'outils CAD 3D, la solution jusqu'à présent consistait en concevoir les 2 puces séparément. Cependant, cette approche n'est pas optimale car elle duplique le temps de conception et les algorithmes de placement et routage ne sont pas optimisés pour le circuit 3D. Une nouvelle stratégie a été récemment élaborée au CEA - LIST (brevets) pour le Placement Routage des circuits numériques 3D qui permet de contourner les limitations mentionnées.</p> <p>Le but de ce stage est de prendre en main ce nouveau flot de synthèse physique (Placement Routage essentiellement) 3D développée en interne pour identifier ses faiblesses et mettre en valeur ses points forts et de proposer de nouvelles fonctionnalités adaptées à la 3D. Le travail de stage s'organisera selon les étapes suivantes :</p> <ul style="list-style-type: none">• Prise en main de l'outil de Placement Routage et du flot développé pour les circuits 3D.• Exploration des paramètres technologiques : diamètre des vias 3D (TSV), nombre de niveaux de routage... pour trouver le meilleur compromis PPA (Power-Performance-Area).• Analyse comparatif avec des autres solutions de l'état de l'art pour le Place & Route 3D.• Développement de nouvelles fonctionnalités 3D.• Participation à la rédaction d'un article scientifique avec les résultats du stage.

Moyens / Méthodes / Logiciels	Innovus, Aprisa
Profil du candidat	<ul style="list-style-type: none"> • Fin d'étude ingénieur ou master 2. • Connaissance du flot de conception de circuits ASIC numérique, des langages de description RTL (Verilog/VHDL) et des outils CAD associés à la conception des circuits intégrés. • Expérience avec l'environnement UNIX et des langages de script (TCL, shell). • Des connaissances sur des circuits intégrés pour les applications de vision et imagerie sont également appréciées.

Critères candidat

Langues	Anglais (Intermédiaire)
Diplôme préparé	Bac+5 - Diplôme École d'ingénieurs
Possibilité de poursuite en thèse	Non

Programme

Segment CEA	Valorisation de la recherche technologique
-------------	--

Demandeur

Direction du Demandeur	DRT
Nom Manager	PUSCHINI
Prénom Manager	Diego
E-mail Manager	diego.puschini@cea.fr
E-mail du tuteur / Responsable	mauricio.altieriscarpato@cea.fr
Disponibilité du poste	01/02/2022

Suivi RH

Responsable principal	Mauricio ALTIERI SCARPATO
Suivie par	Najoua DIALLO Diego PUSCHINI
Alertes email	Toutes les candidatures
Récepteurs des alertes	Mauricio ALTIERI SCARPATO
Date de mise à jour automatique	Non

2021-19119 Evaluation de la complexité d'implémentation des GNN (Graph Neural Network) pour le domaine de l'EDA H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LIST/DSCIN/LECA

Description du poste

Site	Saclay
Pays	France
Régions	Ile-de-France
Départements	Essonne (91)
Ville	Palaiseau
Possibilité de poursuite en thèse	Non
Domaine	Mathématiques, information scientifique, logiciel
Contrat	Stage
Intitulé de l'offre	Evaluation de la complexité d'implémentation des GNN (Graph Neural Network) pour le domaine de l'EDA H/F
Sujet de stage	L'objectif de ce stage est d'évaluer la complexité d'implémentation des GNNs (Graph Neural Network) pour résoudre les problèmes d'EDA (Electronic Design Automation). Il faudra dans un premier temps réaliser un état de l'art sur les GNNs et leurs utilisations dans l'EDA. Dans un second temps, le candidat implémentera une méthode identifiée dans l'état de l'art pour évaluer la complexité de la mise en place de cette méthode.
Durée du contrat (en mois)	6
Description de l'offre	<p>L'automatisation de la conception électronique est l'un des domaines les plus importants de l'ingénierie informatique/électronique appliquée. L'EDA a une longue histoire et fait toujours l'objet d'un développement important intégrant des algorithmes et des technologies de pointe. Ces dernières années, avec le développement de la technologie des semi-conducteurs, la taille des circuits intégrés a augmenté, mettant au défi l'évolutivité et la fiabilité du flot de conception des circuits. Par conséquent, les algorithmes et les logiciels d'EDA doivent être plus efficaces pour traiter un espace de recherche extrêmement grand dans un temps relativement court. Ces dernières années, le machine learning (ML) pour l'EDA (Electronic Design Automation) est devenu l'un des sujets les plus en vogue, et de nombreuses études qui utilisent le ML pour améliorer les méthodes d'EDA ont été proposées, couvrant presque toutes les étapes du flot de conception des circuits électroniques, y compris la réduction et l'exploration de l'espace de conception, la synthèse logique, le placement, le routage, les tests, la vérification, la fabrication, etc. Ces méthodes basées sur le ML ont démontré une amélioration impressionnante par rapport aux méthodes traditionnelles. Dans l'EDA, la représentation la plus naturelle des circuits, des netlists et des layouts sont les graphes. Ainsi, au cours des deux dernières années, quelques études ont reconnu cette opportunité et ont incorporé les GNNs (Graph Neural Network) dans la résolution des problèmes d'EDA. GRANNITE (Graph Neural Network Inference for Transferable Power Estimation) [1] est un exemple de travaux utilisant les GNNs pour l'estimation de la consommation des circuits.</p> <p>L'objectif de ce stage est d'évaluer la complexité d'implémentation des GNNs pour résoudre les problèmes d'EDA. Il faudra dans un premier temps réaliser un état de l'art sur les GNNs et leurs utilisations dans l'EDA. Dans un second temps, le candidat implémentera une méthode identifiée dans l'état de l'art pour évaluer la complexité de la mise en place de cette méthode.</p>
Moyens / Méthodes / Logiciels	Machine learning, Python, C, C++, conception d'architectures, VHDL/Verilog
Profil du candidat	Candidat à ce stage, vous êtes en dernière année de formation de deuxième cycle universitaire ou d'école d'ingénieur et disposez d'une bonne connaissance en machine learning, des connaissances en GNNs seraient un plus, et programmation Python.

Des connaissances en conception d'architecture matérielle serait appréciable. Exigeant et investi, vous avez à cœur de proposer des solutions innovantes et de travailler dans un milieu à la pointe de la technologie qui vous permettra de répondre aux enjeux de demain. Le candidat devra être doté d'un bon relationnel et posséder la capacité de travailler en équipe et en autonomie.

Niveau Demandé : Bac+5

Critères candidat

Langues	Anglais (Intermédiaire)
Diplôme préparé	Bac+5 - Diplôme École d'ingénieurs
Possibilité de poursuite en thèse	Non

Programme

Segment CEA Technologies de l'information

Demandeur

Direction du Demandeur	DRT
Disponibilité du poste	15/03/2022

Suivi RH

Suivi par	Caaliph ANDRIAMISAINA
Alertes email	Toutes les candidatures
Récepteurs des alertes	Caaliph ANDRIAMISAINA
Date de mise à jour automatique	Oui
Fréquence de mise à jour	15 jours

2021-19122 Évaluation de la Plateforme OpenPiton RISC-V H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LIST/DSCIN/LSTA
Description de l'unité	<p>Au sein de CEA Tech, le pôle « recherche technologique » du CEA, l'institut List dédie ses activités aux systèmes numériques intelligents. Nous avons un savoir-faire issu d'une culture de l'innovation et avons pour mission de produire et de transférer les technologies utiles à nos partenaires industriels.</p> <p>Le Laboratoire Systèmes-sur-puce et Technologies Avancées (LSTA) a pour mission d'étudier, concevoir et implémenter des architectures multi-cœurs et des accélérateurs haute performance. Il exploite pour cela les dernières technologies avancées disponibles : CMOS jusqu'au nœud 7nm, intégration 2.5D/3D, mémoires non-volatiles, ainsi que des puces FPGA. Les domaines applicatifs des architectures développées sont ceux du calcul haute-performance (HPC – High Performance Computing), de l'intelligence artificielle (IA) et du quantique (contrôle numérique de circuits quantiques CMOS).</p>

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	Grenoble
Domaine	Systèmes d'information
Contrat	Stage
Intitulé de l'offre	Évaluation de la Plateforme OpenPiton RISC-V H/F
Sujet de stage	L'objectif de ce stage est d'évaluer la plateforme OpenPiton RISC-V. Cette plateforme Open-Source permet de créer un multiprocesseur à base de cœurs RISC-V avec mémoire cache distribuée et cohérente.
Durée du contrat (en mois)	6
Description de l'offre	<p>Les ordinateurs multiprocesseurs avec mémoire partagée proposent un modèle de programmation simplifié. Cependant, il est difficile de réaliser des systèmes performants qui passent à l'échelle. L'arrivée du processeur RISC-V avec code source libre a créé de nombreuses opportunités de recherche dans le domaine de l'architecture des ordinateurs. Le projet OpenPiton, développé récemment à l'université Princeton, propose une architecture multiprocesseur à base de cœurs RISC-V avec mémoire cache distribuée et cohérente. La plateforme matérielle OpenPiton suscite beaucoup d'intérêt dans la communauté de recherche.</p> <p>L'objectif de ce stage est d'évaluer la plateforme OpenPiton RISC-V. Le/la candidat(e) va synthétiser une configuration de petite taille et lancer des applications simples sans système d'exploitation. Ensuite, la plateforme sera portée vers un FPGA afin de tourner des applications plus complexes. La performance de la plateforme sera évaluée et documentée dans un rapport. Si le temps le permet, le candidat fera tourner le système d'exploitation Linux sur cette plateforme. Ce stage permettra au(/à) candidat(e) d'acquérir des compétences en simulation numérique et une connaissance du processeur RISC-V. Ce stage se déroulera au sein de l'équipe calcul haute performance au laboratoire LSTA et les résultats de cette étude sont importants pour la conception de la prochaine génération de systèmes.</p>
Profil du candidat	<p>Le/la candidat(e) idéal(e) a une première expérience en architecture d'ordinateur. L'expérience en simulation numérique (System Verilog / VHDL), en FPGAs (Xilinx) et en développement logiciel (C,C++) sont des atouts. Nous cherchons un(e) candidat(e) qui est motivé(e) et qui a la capacité de résoudre des problèmes en autonomie.</p>

Critères candidat

Diplôme préparé	Bac+5 - Master 2
Formation recommandée	Architecture d'ordinateur ou conception numérique

Programme

Segment CEA	Technologies de l'information
-------------	-------------------------------

Demandeur

Direction du Demandeur	DRT
Nom Manager	VALENTIAN
Prénom Manager	Alexandre
E-mail Manager	alexandre.valentian@cea.fr
E-mail du tuteur / Responsable	adrian.evans@cea.fr
Disponibilité du poste	14/02/2022

Suivi RH

Suivi par	Adrian EVANS
Alertes email	Toutes les candidatures
Récepteurs des alertes	Adrian EVANS
Date de mise à jour automatique	Non

2021-19127 Stage - Caractérisation et optimisation RF des transistors en technologies 3D pour des applications MMW



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DCOS/SCME/LDQC
Description de l'unité	<p>Le Département Composants Silicium (DCOS) est l'un des 5 départements du CEA-Leti et a pour mission de conduire les recherches dans le domaine des composants électroniques aux échelles micro- et nanométriques. Ces activités incluent des développements de composants et circuits innovants dans les domaines du CMOS avancé et des mémoires non volatiles, mis en œuvre dans des architectures de calcul en rupture (calcul quantique, architectures neuromorphiques et Intelligence Artificielle embarquée), des applications de puissance, des technologies pour les applications Radiofréquences (RF), des micro- et Nano-systèmes (capteurs et actionneurs) et du stockage d'énergie. Ces travaux sont enrichis de développements de substrats avancés, spécifiques aux différents domaines d'applications visés, d'une large expertise de l'intégrations en 3D des composants développés ainsi que des moyens nécessaires à la caractérisation des performances des composants développés. Pour ces réalisations technologiques, le DCOS s'appuie sur la plateforme technologique du CEA-Leti (DPFT) lui permettant de démontrer la réalité de ses développements dans un environnement de salle blanche proche des standards de l'industrie et facilitant ainsi l'adoption de ses développements par des partenaires industriels.</p>

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	GRENOBLE
Possibilité de poursuite en thèse	Oui
Domaine	Technologies micro et nano
Contrat	Stage
Intitulé de l'offre	Stage - Caractérisation et optimisation RF des transistors en technologies 3D pour des applications MMW
Sujet de stage	<p>L'arrivée de la 5G et bientôt la 6G impose des nouveaux défis aux performances des appareils RF tels que le fonctionnement à des fréquences d'ondes millimétriques et des contraintes sévères sur l'impact des interconnexions à ces fréquences. Les technologies 3D (en monolithique ou intégration hybride) présentent un intérêt industriel pour les applications More Moore et More than Moore. Grâce à l'optimisation des éléments parasites du transistor, des figures de mérite RF élevées sont possible jusqu'à 300GHz. Le stage se focalisera principalement sur la caractérisation DC et haute fréquence (capacitances, résistances, I-V, mesure de paramètres-S) des transistors ainsi que des éléments passifs intégrés en technologies avancées du type 3D ou autre.</p>
Durée du contrat (en mois)	6
Description de l'offre	<p>Travail demandé pendant le stage:</p> <ul style="list-style-type: none">• Caractérisation électrique avancée des transistors en RF: utilisations des bancs de mesure sous pointes ainsi que modélisation et extraction des paramètres clés pour analyse des phénomènes physiques du semi-conducteur et liaisons avec le process d'intégration.• Montage et optimisation du banc de mesures sub-THz: Spécifications, mise en place, mesures, comparaisons et validations du banc (collaboration RFIC lab et/ou IEMN). Documentation du protocole de mesures.• Méthodologie de calibration et de-embedding: Simulation EM des différentes possibilités de calibration ainsi que développement des Scripts (python) pour traitement des mesures. <p>Le candidat doit avoir des bases sur la RF.</p>
Moyens / Méthodes / Logiciels	RF, Python, ADS, HFSS
Profil du candidat	

Bac+5 - Diplôme École d'ingénieurs

Critères candidat

Diplôme préparé	Bac+5 - Diplôme École d'ingénieurs
Possibilité de poursuite en thèse	Oui

Demandeur

Direction du Demandeur	DRT
Disponibilité du poste	14/02/2022

Suivi RH

Suivi par	Jose LUGO
Alertes email	Toutes les candidatures
Récepteurs des alertes	Jose LUGO
Date de mise à jour automatique	Non



2021-19129 Incremental Learning for Scene Analysis H/F

Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LIST/DIASI/SIALV/LVA
Description de l'unité	<p>Presentation of the host laboratory:</p> <p>Based in Paris-Saclay campus, CEA-LIST is one of four technological research institutes of CEA TECH, the technological research direction of CEA. Dedicated to intelligent digital systems, it contributes to the competitiveness of companies via research and knowledge transfers. The expertise and competences of the 800 research engineers and technicians at CEA-LIST help more than 200 companies in France and abroad every year on subjects categorized over 4 programs and 9 technological platforms. 21 start-ups have been created since 2003.</p> <p>The Computer Vision and Machine Learning for scene understanding laboratory addresses computer vision subjects with a stronger emphasis on four axes:</p> <ul style="list-style-type: none">- Recognition (detection or segmentation of objects and persons)- Behavior analysis (action and gesture recognition, anomalous behavior of individuals or crowds)- Smart annotation (large scale annotation of 2D and 3D data using semi-supervised methods)- Perception and decision-making (Markovian decision processes, navigation) <p>The intern will join a team composed of 30 researchers (research engineers, PhD students, interns) and will be able to interact with peers working on related subjects and methods.</p>

Description du poste

Site	Saclay
Pays	France
Régions	Ile-de-France
Départements	Essonne (91)
Ville	Palaiseau
Possibilité de poursuite en thèse	Oui
Domaine	Mathématiques, information scientifique, logiciel
Contrat	Stage
Intitulé de l'offre	Incremental Learning for Scene Analysis H/F
Sujet de stage	<p>Objectives of the internship:</p> <ul style="list-style-type: none">- Analyze existing incremental learning for object detection and semantic segmentation methods and point their limitations.- Propose and develop an incremental learning method with severe memory and computational constraints.- Evaluate the developed method on public datasets (e.g. PASCAL VOC, MsCOCO).- Publication of results will be encouraged. <p>Keywords: Object detection, semantic segmentation, deep learning, incremental learning, knowledge distillation.</p>
Durée du contrat (en mois)	6
Description de l'offre	<p>Context</p> <p>Incrementally adapting an existing object detection model to detect new unseen classes with severe memory and computational constraints is a critical capacity in real-world applications such as robotics, self-driving vehicles or video surveillance. However, while human beings can easily recognize new objects continuously without forgetting the old knowledge, deep learning models can suffer from 'catastrophic forgetting'. In fact, adding new classes without using the old training dataset can cause a big degradation of performance on the original set of classes.</p> <p>To overcome this issue, several methods use a memory buffer to save a set of the old dataset and re-use it to retrain the model with the new classes [1] or extend the model</p>

architecture by adding other detection heads. Others focus essentially on regularizing the training to minimize the discrepancy between responses for the old and the updated model [2]. The results of these methods are still limited compared to the models trained jointly with all the dataset. Recent methods identify instances of unknown objects as unknown and subsequently learn to recognize them when training data progressively arrive without retraining from scratch [3].

While various studies are conducted on image classification and object detection, only few methods [4,5] focus on incremental learning for other scene analysis tasks like semantic segmentation. However, semantic segmentation is a key task that computer vision systems must face frequently in various applications.

References

[1] Konstantin Shmelkov, Cordelia Schmid, Karteek Alahari (2017) Incremental Learning of Object Detectors without Catastrophic Forgetting, 2017 IEEE International Conference on Computer Vision (ICCV).

[2] Shieh, J.-L.; Haq, Q.M.u.; Haq, M.A.; Karam, S.; Chondro, P.; Gao, D.-Q.; Ruan, S.-J (2020) Continual Learning Strategy in One-Stage Object Detection Framework Based on Experience Replay for Autonomous Driving Vehicle, Sensors 20, no. 23: 6777.

[3] K. J. Joseph, Salman H. Khan, Fahad Shahbaz Khan, Vineeth N. Balasubramanian (2021) Towards Open World Object Detection, CVPR.

[4] Umberto Michieli and Pietro Zanuttigh (2019) Incremental Learning Techniques for Semantic Segmentation, ICCV.

[5] Umberto Michieli, Pietro Zanuttigh (2021) Knowledge Distillation for Incremental Learning in Semantic Segmentation, Computer Vision and Image Understanding (CVIU), Vol. 205.

Profil du candidat

Engineer, Master 2

Required Skills:

- Computer vision
- Machine learning (deep learning)
- Shape recognition
- Python, C / C ++
- Mastery of a deep learning framework (in particular Tensorflow or PyTorch)

This internship opens the possibility of pursuing a thesis and R&D engineer in our laboratory.

Critères candidat

Diplôme préparé	Bac+5 - Master 2
Formation recommandée	Engineer / Master 2
Possibilité de poursuite en thèse	Oui

Demandeur

Direction du Demandeur	DRT
Disponibilité du poste	01/03/2022

Suivi RH

Suivie par	Romarc AUDIGIER
Alertes email	Toutes les candidatures
Récepteurs des alertes	Romarc AUDIGIER
Date de mise à jour automatique	Non

2021-19144 Simulations de Lidar interactives et réalistes H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LIST/DIASI/SIR/LSI
Description de l'unité	<p>Au cœur du Plateau de Saclay (Île-de-France), l'institut CEA LIST focalise ses recherches sur les systèmes numériques intelligents. Porteurs d'enjeux économiques et sociétaux majeurs, ses programmes de R&D sont centrés sur les systèmes interactifs (intelligence ambiante), les systèmes embarqués (architectures, ingénierie logicielle et systèmes), les capteurs et le traitement du signal (contrôle industriel, santé, sécurité, métrologie).</p> <p>Au sein du CEA LIST, le Laboratoire de Simulation Interactive (LSI) développe une plateforme de simulation multi-physique interactive mettant en jeu un ou plusieurs utilisateurs en exploitant les technologies de Réalité Virtuelle (RV) et de Réalité Mixte (RM). Cette plateforme, dénommée XDE Physics, permet de simuler la manipulation et les interactions de l'ensemble des systèmes, pièces rigides, articulées ou déformables (câbles) directement sur les maquettes numériques. Elle permet également de valider des scénarios incluant l'opérateur pour étudier l'ergonomie du poste de travail par l'introduction de son avatar dans la simulation dynamique. Centrées sur les noyaux de simulation interactive, les activités de l'équipe vont jusqu'à la mise au point d'applicatifs, répondant aux contextes d'usage de ses partenaires industriels (manufacturing pour l'automobile et l'aéronautique, énergie, santé).</p>

Description du poste

Site	Saclay
Pays	France
Régions	Ile-de-France
Départements	Essonne (91)
Ville	Palaiseau
Possibilité de poursuite en thèse	Oui
Domaine	Systèmes d'information
Contrat	Stage
Intitulé de l'offre	Simulations de Lidar interactives et réalistes H/F
Sujet de stage	<p>Les lidars mobiles portés par opérateurs ou des dispositifs automatiques (drones, robots mobiles) sont couramment utilisés dans l'industrie pour effectuer régulièrement des relevés 3D d'installations et d'équipements. Des besoins de simulations sont donc apparus pour mesurer les performances des dispositifs, optimiser des parcours ou encore construire des datasets pour de l'apprentissage. Il s'agit lors de ce stage de poursuivre le développement d'un outil de simulation existant afin d'étendre son domaine d'application et d'accroître ses fonctionnalités .</p>
Durée du contrat (en mois)	6
Description de l'offre	<p>Le LSI a développé un outil de simulation Lidar et caméra de profondeur en l'intégrant dans la plateforme Unity. Celui-ci peut s'exécuter sur CPU ou GPU. Il implémente un modèle simple par ray-casting avec prise en compte d'un bruit fonction de la distance et de la réflectivité au point relevé. Initialement dédié aux seuls lidars terrestres fixes, il est limité à des scènes fixes. Les buts de ce stage sont :</p> <ol style="list-style-type: none">1. de pouvoir évoluer dans un monde dynamique avec affichage interactif des scans simulés et de la couverture pour des modèles 3D complexes (voir [1])2. d'améliorer le réalisme du modèle :<ul style="list-style-type: none">◦ en prenant en compte la divergence du faisceau ainsi que la durée du signal lumineux émis afin de créer des points mixtes en dehors des surfaces comme dans [2],◦ en modélisant le phénomène de rolling-shutter induit par le déplacement du Lidar,◦ en simulant l'interaction du faisceau avec l'atmosphère. <p>L'outil pourra servir comme brique de base dans des travaux de thèse dédiés à la recherche de trajectoires optimales par apprentissage par renforcement. pour la couverture de sites et dispositifs de complexité industrielle.</p>

[1] Y. Song, S. Naji, E. Kaufmann, A. Loquercio and D. Scaramuzza, Flightmare: A Flexible Quadrotor Simulator, <https://arxiv.org/pdf/2009.00563.pdf>
[2] Lukas Winiwarter, Alberto Manuel Esmoris Pena, Hannah Weiser, Katharina Anders, Jorge Martínez Sanchez, Mark Searle, and Bernhard Høe, Virtual laser scanning with helios++: A novel take on ray tracing-based simulation of topographic 3d laser scanning, 2021.

Moyens / Méthodes / Logiciels Géométrie 3D, traitement du signal, langages C++/C#/Cuda, librairie Nvidia Optix, Unity, Git.
Profil du candidat Bonne qualité rédactionnelle et de communication en français et en anglais, rigueur dans l'analyse et la démarche.

Critères candidat

Diplôme préparé Bac+5 - Master 2
Formation recommandée Ingénieur, Master 2 Recherche
Possibilité de poursuite en thèse Oui

Programme

Segment CEA Technologies de l'information

Demandeur

Direction du Demandeur DRT
Nom Manager Douin
Prénom Manager Alexandre
E-mail Manager alexandre.douin@cea.fr
E-mail du tuteur / Responsable gilles.rougeron@cea.fr
Disponibilité du poste 01/02/2022

Suivi RH

Suivi par Gilles ROUGERON
Alertes email Toutes les candidatures
Récepteurs des alertes Gilles ROUGERON
Date de mise à jour automatique Non

2021-19184 Stage: Impact de procédés PAI sur les mécanismes de formation de siliciures de nickel H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DPFT/SDEP/LDJ
Description de l'unité	A Grenoble, au centre des Alpes, le LETI est un institut de recherche appliquée en micro et nano technologies, technologies de l'information et de la santé. Interface privilégiée du monde industriel et de la recherche académique, il assure chaque année le développement et le transfert de technologies innovantes dans des secteurs variés via des programmes de recherche utilisant nos plateformes technologiques.

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	GRENOBLE
Possibilité de poursuite en thèse	Non
Domaine	Matériaux, physique du solide
Contrat	Stage
Intitulé de l'offre	Stage: Impact de procédés PAI sur les mécanismes de formation de siliciures de nickel H/F
Sujet de stage	Depuis maintenant plus d'une décennie, les siliciures de nickel type Ni(Pt)Si se sont imposés dans l'industrie comme procédé standard pour de nombreuses technologies. Néanmoins, la question de sa stabilité thermique limitée est toujours d'actualité et devient même de plus en plus préoccupante.
Durée du contrat (en mois)	6 max
Description de l'offre	<p>L'une des solutions envisagée est la « pré-amorphisation par implantation » (PAI), qui consiste à implanter des espèces étrangères dans le substrat avant dépôt métallique, en utilisant des doses d'implantation suffisamment élevées pour induire l'amorphisation du substrat sur quelques nanomètres. Étudiée depuis plusieurs années au LETI, cette approche a donnée de bons résultats en utilisant du carbone, qui permet de repousser l'agglomération de la couche de Ni(Pt)Si de plusieurs centaines de degrés Celsius. Néanmoins, ce procédé modifie également les réactions à l'état solide menant à la formation de la couche à plus basse température, selon des dynamiques encore mal comprises. Ainsi, dans le cadre de ce stage, vous chercherez à comprendre les mécanismes de nucléation mis en jeu dans ce type de système (nucléation vs diffusion, notamment) et à les caractériser (interface concernée, énergie d'activation de la réaction...) via l'utilisation de techniques expérimentales adaptées. En fonction de l'avancement, plusieurs conditions d'implantation pourront être étudiées et comparées.</p> <p>Travail demandé:</p> <ul style="list-style-type: none">•Expérimental:<ul style="list-style-type: none">- Réalisation de mesures XRD type θ-2θ en température- Réalisation de mesures électriques type Rs en température- Rédaction des protocoles expérimentaux associés•Traitement des données et analyse scientifique:<ul style="list-style-type: none">- Comprendre et s'appropriier le sujet, sur la base des travaux préliminaires menés au sein de l'équipe et d'un travail bibliographique ciblé (compréhension écrite de l'Anglais nécessaire)- Utilisation de logiciels spécifiques (type HighScore) et courants (type Excel) pour traiter les données obtenues dans le cadre du stage- Mise en forme et mise en regard des résultats dans un document de synthèse clair, afin de proposer une analyse physique aboutie des phénomènes mis en jeu. <p>Envoi des CV et LM: sophie.guillemin@cea.fr</p>

Profil du candidat

Bac +5 Sciences des Matériaux, Matière Condensée

Critères candidat

Diplôme préparé Bac+5 - Master 2

Possibilité de poursuite en thèse Non

Programme

Segment CEA Technologies de l'information

Demandeur

Direction du Demandeur DRT

Nom Manager GUILLEMIN

Prénom Manager Sophie

E-mail du tuteur / Responsable sophie.guillemin@cea.fr

Disponibilité du poste 07/02/2022

Suivi RH

Responsable principal Béatrice ANCÉ

Suivie par Julie COURTIAL

Date de mise à jour automatique Non

2021-19200 Mise en œuvre de l'interface PCIe entre un FPGA et son système hôte H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LIST/DSCIN/LSTA
Description de l'unité	<p>Au sein de CEA Tech, le pôle « recherche technologique » du CEA, l'institut List dédie ses activités aux systèmes numériques intelligents. Nous avons un savoir-faire issu d'une culture de l'innovation et avons pour mission de produire et de transférer les technologies utiles à nos partenaires industriels.</p> <p>Le Laboratoire Systèmes-sur-puce et Technologies Avancées (LSTA) a pour mission d'étudier, concevoir et implémenter des architectures multi-cœurs et des accélérateurs haute performance. Il exploite pour cela les dernières technologies avancées disponibles : CMOS jusqu'au nœud 7nm, intégration 2.5D/3D, mémoires non-volatiles, ainsi que des puces FPGA. Les domaines applicatifs des architectures développées sont ceux du calcul haute-performance (HPC – High Performance Computing), de l'intelligence artificielle (IA) et du quantique (contrôle numérique de circuits quantiques CMOS).</p>

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	Grenoble
Possibilité de poursuite en thèse	Non
Domaine	Sciences pour l'ingénieur
Contrat	Stage
Intitulé de l'offre	Mise en œuvre de l'interface PCIe entre un FPGA et son système hôte H/F
Sujet de stage	<p>L'objectif principal est de concevoir une partie logicielle générique permettant d'échanger des informations et des programmes au moyen du bus PCIe entre le serveur hôte et l'architecture programmée dans le FPGA.</p> <p>Le stagiaire aura également pour tâche d'étudier le fonctionnement de la carte FPGA sur laquelle il ou elle fera ses développements ainsi que l'architecture qui y est implémentée.</p>
Durée du contrat (en mois)	6
Description de l'offre	<p>Nous participons à des projets au niveau européens visant à développer des accélérateurs pour le calcul scientifique. Ces accélérateurs sont hébergés dans des serveurs hôtes qui délèguent certaines parties de calcul sur notre accélérateur (optimisé pour un domaine applicatif). Cela nécessite des échanges entre ces deux parties. C'est sur cette partie que s'inscrit ce stage.</p> <p>Les circuits FPGA sont des circuits intégrés reprogrammables que nous utilisons pour le prototypage des processeurs ainsi que des accélérateurs de calcul numérique pour le HPC (High-Performance Computing) développés dans notre laboratoire.</p> <p>Les FPGAs sont connectés au serveur hôte, qui soumet des programmes et des données de travail aux accélérateurs implémentés dans le FPGA.</p> <p>Plusieurs interfaces permettent d'échanger ces informations entre le FPGA et le serveur hôte. L'objectif de ce stage est de prendre connaissance et mettre en œuvre un canal de communication entre le FPGA et le serveur hôte en utilisant un bus informatique très répandu : le PCI Express (PCIe).</p> <p>Ce stage a donc deux volets : un volet matériel et un volet logiciel.</p> <p>Pour le volet matériel, le stagiaire aura pour tâche d'étudier le fonctionnement de la carte FPGA sur laquelle il fera ses développements ainsi que l'architecture qui y est implémentée.</p>

Profil du candidat

Pour le volet logiciel, le stagiaire recensera les composants logiciels mis à disposition dans l'environnement FPGA pour mettre en place le bus de communication PCIe. Une fois les composants identifiés il faudra concevoir une partie logicielle générique permettant d'échanger des informations et des programmes au moyen de ce bus entre le serveur hôte et l'architecture programmée dans le FPGA.

Enfin le stagiaire pourra mettre en place des tests permettant de valider le travail réalisé. Ces tests valideront le bon fonctionnement et la performance des échanges entre le serveur hôte et le FPGA.

Le profil souhaité est une étudiante ou étudiant en 5ème année d'école d'ingénieur ou niveau M2, ayant des connaissances en programmation C. Ce serait un plus si l'étudiante ou étudiant a des connaissances en prototypage sur FPGA.

Critères candidat

Diplôme préparé	Bac+5 - Diplôme École d'ingénieurs
Formation recommandée	Informatique et/ou électronique
Possibilité de poursuite en thèse	Non

Demandeur

Direction du Demandeur	DRT
Nom Manager	Valentian
Prénom Manager	Alexandre
E-mail Manager	alexandre.valentian@cea.fr
E-mail du tuteur / Responsable	jerome.fereyre@cea.fr
Disponibilité du poste	01/02/2022

Suivi RH

Responsable principal	Jérôme FERREYRE
Suivi par	César FUGUET TORTOLERO
Alertes email	Toutes les candidatures
Récepteurs des alertes	Jérôme FERREYRE
Date de mise à jour automatique	Non

2021-19201 Caractérisation des performances électro-optiques d'imageurs infrarouge sous contrainte ajus H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DOPT/SCIM/LIR
Description de l'unité	<p>Le CEA / LETI (Laboratoire d'Electronique et des Technologies de l'Information) à Grenoble est un des centres de recherche technologique leaders mondiaux en matière de NTIC (Nouvelles Technologies de l'Information et de la Communication). Sa mission première est de développer des solutions innovantes dans ses différents domaines de compétence, et de les transférer à l'industrie dans le cadre de partenariats industriels afin de répondre aux besoins de marchés à forte croissance.</p> <p>Les activités du département Optique et Photonique (DOPT) du CEA LETI portent sur le développement de solutions innovantes, de la technologie jusqu'aux systèmes en passant par les composants dans le domaine de l'imagerie et des applications dites "photoniques".</p> <p>Au sein du DOPT, le Laboratoire d'Imagerie « InfraRouge » (LIR) développe et caractérise les nouvelles générations de détecteurs « infrarouge » refroidis sur les matériaux semi-conducteurs II-VI et III-V, dans le cadre d'un laboratoire commun avec notre partenaire industriel LYNRED, un des leaders mondiaux en détecteurs IR.</p>

Description du poste

Site	Grenoble
Pays	France
Ville	GRENOBLE
Possibilité de poursuite en thèse	Oui
Domaine	Technologies micro et nano
Contrat	Stage
Intitulé de l'offre	Caractérisation des performances électro-optiques d'imageurs infrarouge sous contrainte ajus H/F
Sujet de stage	<p>Le stage porte sur l'utilisation d'un banc de contrainte (déformation) d'imageurs infrarouge. Un abaque de contrainte en fonction de la déformation devra être réalisé. Il servira de préambule à une série de mesures de performances électro-optiques sur un imageur infrarouge, afin de révéler les défauts introduits par la contrainte.</p> <p>L'évolution du nombre de défauts en fonction de la contrainte sera étudiée, et le comportement de ces défauts sera analysé afin d'extraire leurs propriétés. On cherchera alors à mettre en relation la dynamique et les particularités des défauts avec la contrainte appliquée. Une interprétation physique de l'ensemble de ces résultats sera attendue.</p> <p>Le candidat ou la candidate sera amené(e) à utiliser des outils existants mais aussi à développer les siens, aussi bien pour la mesure que pour le traitement des données.</p>
Durée du contrat (en mois)	6 mois
Description de l'offre	<p><u>Description</u></p> <p>Le Laboratoire Infrarouge du département Optique et Photonique au CEA-LETI travaille depuis de nombreuses années en partenariat avec Lynred pour développer des imageurs infrarouges refroidis sur technologie HgCdTe parmi les plus performants du marché. Pour conserver cette situation enviée, il est indispensable de mettre en évidence, caractériser et corriger tous les éventuels défauts encore présents dans les capteurs.</p> <p>Il a été mis en évidence par le laboratoire qu'il était possible d'exacerber la présence de ces défauts, voire d'en créer en venant appliquer, par déformation, un champ de contrainte sur les capteurs. Un banc sous vide et à température cryogénique a donc été conçu afin de pouvoir réaliser des mesures sur des capteurs sur lesquels on applique la contrainte.</p> <p>Une vaste étude doit maintenant être réalisée afin de quantifier l'augmentation du nombre de défauts en fonction de la contrainte. De plus, il sera essentiel de qualifier</p>

ces défauts en fonction de leurs propriétés électro-optiques (présence de bruit électronique, type de bruit, ...).

Le candidat sera formé au banc de contrainte, il devra réaliser les abaques de la contrainte appliquée en fonction de la déformation imposée aux capteurs. Le principe de fonctionnement des capteurs et des baies de pilotage lui sera présenté et il devra prendre en main le logiciel permettant de réaliser toutes les mesures utiles au stage.

Ces mesures seront alors analysées en utilisant des outils de traitement du laboratoire (programmes Matlab et Python), mais le candidat sera invité à développer ses propres fonctions afin de qualifier, de quantifier et de comparer la défektivité induite par la contrainte. En s'appuyant sur la littérature de défauts dans les semi-conducteurs, le candidat pourra proposer des explications et modèles physiques pour interpréter les résultats.

Selon l'avancement du stage, plusieurs capteurs avec des technologies de fabrication différentes pourront être testés afin de mettre en évidence laquelle est la plus robuste. Enfin, on attend du candidat à l'issue du stage et en fonction des résultats, des propositions d'amélioration du banc, des plans d'expériences à réaliser pour de futures études et des modèles à discuter et enrichir.

Environnement

Le candidat sera au sein d'un laboratoire dynamique et disposant de nombreux moyens, avec un sujet au cœur des problématiques de l'équipe et du partenaire industriel. Le stage sera connexe à d'autres stages et thèses et les échanges sur le sujet seront nombreux et riches, on attend une forte interaction entre les différentes personnes.

Le stage présente des orientations vers l'instrumentation, la mesure, l'analyse et l'interprétation physique, ce qui en fait un sujet particulièrement complet.

Moyens / Méthodes / Logiciels
Profil du candidat

Banc de contrainte, imageurs infrarouge, logiciels propres au laboratoire, matlab, python.

Ce stage constitue un sujet typique de PFE pour un candidat en 3^e année d'école d'ingénieur ou au niveau master 2.

De solides connaissances en physique du semi-conducteur sont attendues. Des connaissances en microélectronique seront un plus.

Ce stage assez complet nécessitera que le candidat soit aussi bien intéressé par la métrologie et l'utilisation d'instruments de mesure, la réalisation de plans d'expérience et l'acquisition de ses propres données, la conception d'outils numériques de traitement et d'analyse et la modélisation.

Bien encadré par une équipe dynamique, il est attendu que le candidat soit force de proposition sur les différents domaines sur lesquels le stage va porter. L'acquisition progressive d'une certaine autonomie est souhaitée, ce qui constituera un plus pour une poursuite en thèse.

Critères candidat

Diplôme préparé	Bac+5 - Diplôme École d'ingénieurs
Possibilité de poursuite en thèse	Oui

Demandeur

Direction du Demandeur	DRT
Nom Manager	TORRES
Prénom Manager	Alphonse
E-mail Manager	alphonse.torres@cea.fr
E-mail du tuteur / Responsable	nicolas.baier@cea.fr

Suivi RH

Responsable principal	Nicolas BAIER
Suivie par	Anais ACQUADRO

Alertes email	Toutes les 10 candidatures
Récepteurs des alertes	Nicolas BAIER
Date de mise à jour automatique	Non

2021-19204 Stage Caractérisation de la stabilité temporelle d'un détecteur matriciel Infrarouge.



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DOPT/SCIM/LIR
Description de l'unité	<p>Le Laboratoire d'Imagerie Infrarouge du CEA-Léti développe depuis plus de 35 ans des détecteurs InfraRouge Refroidi (IRR). Le succès de ces développements ont permis la création de l'industriel LYNRED, aujourd'hui un des leaders mondiaux en imageur IR, avec qui notre équipe continue de collaborer dans le cadre d'un laboratoire commun pour le développement des futurs produits en imagerie infrarouge. Les applications concernent à la fois les domaines spatial (collab. CNES, ESA), militaire, industriel et scientifique.</p> <p>Le laboratoire fabrique des détecteurs matriciels dont chaque pixel est une photo-diode. Il s'agit de détecteurs photovoltaïques (appelés aussi détecteurs quantiques) de haute performance utilisant un matériau semi-conducteur dont le gap ajustable permet une détection optimale sur tout le spectre IR, de 1 à ~20µm.</p> <p>Actuellement la stabilité dans le temps des performances des détecteurs IR est un enjeu crucial. La mesure fine de ce paramètre ainsi que la compréhension des phénomènes physiques entrant en jeux est donc primordiale. Dans ce cadre le laboratoire met en place des protocoles de mesure permettant de quantifier et d'identifier les dérives potentielles des photodiodes afin de les optimiser.</p>

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Ville	Grenoble
Possibilité de poursuite en thèse	Oui
Domaine	Matériaux, physique du solide
Contrat	Stage
Intitulé de l'offre	Stage Caractérisation de la stabilité temporelle d'un détecteur matriciel Infrarouge.
Sujet de stage	Caractérisation de la stabilité temporelle d'un détecteur matriciel Infrarouge.
Durée du contrat (en mois)	5-6
Description de l'offre	<p>Actuellement la stabilité dans le temps des performances des détecteurs IR est un enjeu crucial. La mesure fine de ce paramètre ainsi que la compréhension des phénomènes physiques entrant en jeux est donc primordiale. Dans ce cadre le laboratoire met en place des protocoles de mesure permettant de quantifier et d'identifier les dérives potentielles des photodiodes afin de les optimiser.</p> <p>L'objectif du stage proposé sera de mettre en place un nouveau banc de mesure de stabilité d'image. Le but de ce banc est de d'évaluer l'évolution avec le temps du Bruit Spatial Fixe Résiduel (BSFR), qui est le bruit spatial résiduel après application d'une table de correction sur l'ensemble d'une matrice de détecteur.</p> <p>Pour cela nous envisageons d'éclairer le composant grâce à des LEDs couplées à une sphère intégrante. Le stagiaire devra participer à la mise en place de ce banc (pilotage des LEDs, homogénéité d'éclairement, compatibilité cryogénique, compatibilité mécanique...), la définition du protocole de test (reproductibilité, Flux photonique envisagé, température de fonctionnement du détecteur matriciel...) et enfin caractérisera un composant issu de notre laboratoire afin d'extraire l'effet de certains paramètres sur les performances de stabilité image.</p> <p>Ce stage comporte donc une importante partie expérimentale, afin de mettre en place le banc de mesure et de valider son fonctionnement, mais aussi une partie de traitement de données et de compréhension des phénomènes (radiométrie et physique des semi-conducteurs) dans le but de corrélés les mesures faites avec les performances.</p>
Profil du candidat	

Le candidat aura une forte appétence pour le travail expérimental afin de définir et réaliser l'ensemble des mesures électro-optiques nécessaires. Il devra démontrer de la rigueur et de l'autonomie dans le travail pour mener à bien les campagnes de mesures. De plus, une bonne connaissance dans la physique des semi-conducteurs permettra au candidat de s'épanouir dans la caractérisation des composants et potentiellement de poursuivre un travail de thèse dans le domaine.

Critères candidat

Diplôme préparé	Bac+5 - Diplôme École d'ingénieurs
Formation recommandée	Optique et physique des semiconducteurs
Possibilité de poursuite en thèse	Oui

Demandeur

Direction du Demandeur	DRT
------------------------	-----

Suivi RH

Responsable principal	Anais ACQUADRO
Suivie par	Cyril CERVERA
Alertes email	Toutes les candidatures
Récepteurs des alertes	Anais ACQUADRO, Cyril CERVERA
Date de mise à jour automatique	Non

2021-19212 Modélisation et caractérisation de lasers pulsés pour les circuits neuromorphiques H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DOPT/SNAP/LIPS
Description de l'unité	Le laboratoire LIPS assure la conception et la caractérisation de composants et circuits photoniques sur silicium. Le portefeuille de composants disponibles recouvre des fonctions passives (guides d'ondes, coupleurs, etc...) et actives (modulateurs, switches, photodétecteurs, etc...) ainsi que des fonctions avancées par l'intégration de matériaux hétérogènes comme l'InP pour réaliser des lasers. Ce panel de composants permet de réaliser ensuite des circuits pour de nombreuses applications comme les datacomm, les lidars, le calcul quantique ou l'intelligence artificielle. Le LIPS comprend une quarantaine de chercheurs et thésards/postdocs.

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	Grenoble
Possibilité de poursuite en thèse	Oui
Domaine	Optique et optronique
Contrat	Stage
Intitulé de l'offre	Modélisation et caractérisation de lasers pulsés pour les circuits neuromorphiques H/F
Sujet de stage	Le stagiaire devra d'abord modéliser la cavité d'un laser comprenant une partie gain et absorbant saturable lui permettant d'avoir un comportement impulsionnel. Ce comportement sera analysé et comparé à celui d'un neurone de type "Leaky Integrate and Fire" pour en extraire les paramètres neuronaux principaux. Ensuite, ce modèle de laser sera intégré dans un simulateur plus large d'un circuit neuronal complet et des algorithmes d'apprentissage seront testés afin de démontrer la convergence vers une fonction souhaitée. Par exemple, la reconnaissance de caractères numériques de type MNIST. En option, une campagne de caractérisation de lasers impulsionnels intégrés sur silicium sera menée (extraction des paramètres physiques principaux comme la largeur d'impulsion, le taux de répétition, etc...).
Durée du contrat (en mois)	6
Description de l'offre	<p>Stage de master d'une durée de six mois pour la modélisation et caractérisation de lasers impulsionnels sur silicium et leur application aux circuits neuronaux.</p> <p>Le stagiaire devra d'abord modéliser la cavité d'un laser comprenant une partie gain et absorbant saturable lui permettant d'avoir un comportement impulsionnel. Ce comportement sera analysé et comparé à celui d'un neurone de type "Leaky Integrate and Fire" pour en extraire les paramètres neuronaux principaux. Ensuite, ce modèle de laser sera intégré dans un simulateur plus large d'un circuit neuronal complet et des algorithmes d'apprentissage seront testés afin de démontrer la convergence vers une fonction souhaitée. Par exemple, la reconnaissance de caractères numériques de type MNIST. En option, une campagne de caractérisation de lasers impulsionnels intégrés sur silicium sera menée (extraction des paramètres physiques principaux comme la largeur d'impulsion, le taux de répétition, etc...).</p>
Moyens / Méthodes / Logiciels	Matlab/python, littérature (biblio), moyens de caractérisation photonique (oscilloscopes...)
Profil du candidat	Master M2 en photonique/optique/optronique plutôt axé simulation/modélisation que matériaux/technologie Des connaissances de la suite de logiciels Lumerical serait un plus.

Bon niveau d'anglais requis pour pouvoir lire des articles scientifiques.

Bonne capacité à présenter ses travaux, expliquer/discuter avec ses collègues.

Critères candidat

Langues	Anglais (Courant)
Diplôme préparé	Bac+5 - Master 2
Formation recommandée	Master 2 et/ou Ecole d'ingénieur
Possibilité de poursuite en thèse	Oui

Programme

Segment CEA	Technologies de l'information
-------------	-------------------------------

Demandeur

Direction du Demandeur	DRT
Nom Manager	SZELAG
Prénom Manager	Bertrand
E-mail Manager	bertrand.szlag@cea.fr
E-mail du tuteur / Responsable	benoit.charbonnier@cea.fr
Disponibilité du poste	28/02/2022

Suivi RH

Suivi par	Benoit CHARBONNIER
Alertes email	Toutes les candidatures
Récepteurs des alertes	Benoit CHARBONNIER
Date de mise à jour automatique	Non

2021-19215 Evaluation de nouvelles techniques de mesures de désalignement par imagerie électronique H/F



Informations générales

Statut	Diffusée
Entité de rattachement	DRT/LETI/DPFT/SMCP/L2MD
Description de l'unité	A Grenoble, au centre des Alpes, le LETI est un institut de recherche appliquée en micro et nano technologies, technologies de l'information et de la santé. Interface privilégiée du monde industriel et de la recherche académique, il assure chaque année le développement et le transfert de technologies innovantes dans des secteurs variés via des programmes de recherche utilisant nos plateformes technologiques.

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	GRENOBLE
Domaine	Technologies micro et nano
Contrat	Stage
Intitulé de l'offre	Evaluation de nouvelles techniques de mesures de désalignement par imagerie électronique H/F
Sujet de stage	Les composants microélectroniques sont obtenus par la superposition de niveaux successifs. Pour le bon fonctionnement du dispositif final, la structure d'un niveau doit être bien alignée avec celle du précédent. Une mesure optique, nommée overlay (OVL), permet d'obtenir les valeurs de ce désalignement (en X et Y). Dans un second temps, un modèle mathématique associé à la mesure OVL fournit la correction à la lithographie suivante. Cependant, cette mesure optique est généralement réalisée sur des marques relativement larges et positionnées dans des zones dédiées. Il reste donc un doute sur la valeur réelle du désalignement en un point actif du composant (ex: transistor). Avec la miniaturisation des dispositifs qui entraîne un budget de désalignement toujours plus faible, un contrôle précis et fiable à l'échelle du composant devient critique. Ce constat partagé par les équipes de métrologie du Leti et de STMicroelectronics à Crolles est à l'origine de ce sujet de stage qui s'inscrit donc
Durée du contrat (en mois)	6 max
Description de l'offre	<p>Ce travail de métrologie comporte deux phases principales :</p> <ol style="list-style-type: none">1. Validation de la mesure OVL par CDSEM sur structures dédiées: vous devrez réaliser des mesures directes par CDSEM (microscope électronique à balayage) grâce à un algorithme automatisé. Vous serez en charge de coordonner la sélection de plaques d'intérêt (potentiellement avec désalignement intentionnel) pour ainsi pouvoir valider la justesse, précision et linéarité de cette mesure. Vous devrez comparer statistiquement les résultats avec les méthodes optiques traditionnelles disponibles.2. Application de la mesure OVL par CDSEM sur des composants actifs : la méthodologie développée par CDSEM sera appliquée sur des plaques produits de technologies diverses. Vous devrez tout particulièrement comparer l'impact du type de mesures OVL (optique ou CDSEM) sur la qualité des modèles de correction lithographie et notamment le résiduel associé. Vous statuerez ainsi sur la valeur ajoutée de ce nouveau type de contrôle. <p>Vous serez co-encadré par les équipes métrologie des deux entités. Vous serez principalement basé au Leti où vous effectuerez les mesures en salle blanche. Vous serez amené(e) à intervenir sur le site de STMicroelectronics pour des échanges techniques et présentation de vos résultats.</p>

Profil du candidat

Envoi des CV et LM : cyril.vannuffel@cea.fr

Bac +5 3ème année école ingénieur/ Master 2

Micro électronique

Critères candidat

Diplôme préparé Bac+5 - Diplôme École d'ingénieurs

Programme

Segment CEA Technologies de l'information

Demandeur

Direction du Demandeur DRT

Nom Manager VANNUFFEL

Prénom Manager Cyril

E-mail du tuteur / Responsable cyril.vannuffel@cea.fr

Disponibilité du poste 07/02/2022

Suivi RH

Responsable principal Cyril VANNUFFEL

Suivie par Béatrice ANCÉ

Julie COURTIAL

Date de mise à jour automatique Non

2021-19218 STAGE-Etude de l'impact environnemental d'une caméra thermique dédiée à de la thermographie H/F



Informations générales

Statut	Diffusée
Référence interne / Plan Emploi	STAGE DOPT-RH-1029
Entité de rattachement	DRT/LETI/DOPT/SCIM/LI2T
Description de l'unité	Le CEA LETI (Laboratoire d'Electronique et des Technologies de l'Information) à Grenoble est un des centres de recherche technologique leaders mondiaux en matière de NTIC (Nouvelles Technologies de l'Information et de la Communication). Sa mission première est de développer des solutions innovantes dans ses différents domaines de compétences et de les transférer à l'industrie dans le cadre de partenariats industriels, afin de répondre aux besoins de marchés à forte croissance.

Description du poste

Site	Grenoble
Pays	France
Régions	Auvergne-Rhône-Alpes
Départements	Isère (38)
Ville	GRENOBLE
Domaine	Optique et optronique
Contrat	Stage
Intitulé de l'offre	STAGE-Etude de l'impact environnemental d'une caméra thermique dédiée à de la thermographie H/F
Sujet de stage	Etude de l'impact environnemental d'une caméra thermique dédiée à de la thermographie
Durée du contrat (en mois)	6
Description de l'offre	<p>Cadre et contexte:</p> <p>Les caméras thermiques sont des systèmes d'imagerie amenées à se démocratiser de plus en plus. Historiquement utilisées dans le domaine de la défense et de la thermique des infrastructures, ces caméras gagnent progressivement les marchés de loisirs, de la téléphonie et du smart building pour la gestion énergétique des bâtiments. La crise mondiale du COVID a générée une forte accélération des ventes de caméras thermiques en 2020 puisque celles-ci peuvent-être utilisées pour mesurer la température des personnes et détecter ainsi les malades en entrée de bâtiments. Cette fonction de mesure de la température des éléments observés (personne, bâtiment, objets...) est appelée thermographie.</p> <p>Aujourd'hui de nombreux acteurs de l'imagerie infra-rouge travaillent pour offrir une fonction thermographique précise, permettant d'obtenir la température « réelle » des corps observés.</p> <p>Il se pose alors la question de l'impact environnemental des différentes solutions technologiques envisagées pour répondre à cette fonction des caméras infra-rouge.</p> <p>Le CEA LETI possède une expertise technologique et un partenariat industriel fort dans ce domaine. Nous avons besoin aujourd'hui de comparer les différentes solutions technologiques émergentes avec celles actuellement disponibles sur le marché.</p> <p>Travail demandé :</p> <p>L'objectif du stage est de réaliser une étude de l'impact environnemental des solutions innovantes envisagées et des systèmes existants en thermographie infrarouge. Le candidat devra dans un premier temps préciser avec l'équipe le système d'étude à considérer pour l'ACV (composant, module, camera complète). Il s'agira ensuite de réaliser la collecte des données nécessaires et de réaliser un inventaire de cycle de vie (ICV). La troisième étape sera la réalisation de l'ACV avec les logiciels disponibles au CEA et la définition des catégories d'impact pertinentes. Finalement le candidat</p>

devra produire une analyse critique des résultats obtenus sur les technologies de thermographie et donner des perspectives à ses travaux. Les équipes du laboratoire d'imagerie infrarouge du CEA LETI et le partenaire industriel fourniront l'ensemble des données techniques nécessaires à la réalisation des ACVs.

Critères candidat

Diplôme préparé	Bac+5 - Diplôme École d'ingénieurs
Formation recommandée	Master2 ou Ingénieur

Programme

Segment CEA	Outils et plateformes pour la recherche technologique et l'énergie
-------------	--

Demandeur

Direction du Demandeur	DRT
Nom Manager	JOUVE
Prénom Manager	Amandine
E-mail Manager	amandine.jouve@cea.fr
E-mail du tuteur / Responsable	amandine.jouve@cea.fr
Disponibilité du poste	01/02/2022

Suivi RH

Responsable principal	Anais ACQUADRO
Suivie par	Amandine JOUVE
Date de mise à jour automatique	Non